

500.40540X00

THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): T. YAMAMOTO, et al.

Serial No.: 09 / 933,799

Filed: AUGUST 22, 2001

Title: DISPLAY APPARATUS.

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

SEPTEMBER 25, 2001

Sir:

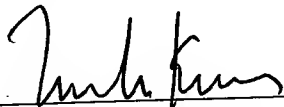
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2001 - 054352
Filed: FEBRUARY 28, 2001

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/rp
Attachment



E6132-01 EY
日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 2月28日

出 願 番 号

Application Number:

特願2001-054352

出 願 人

Applicant(s):

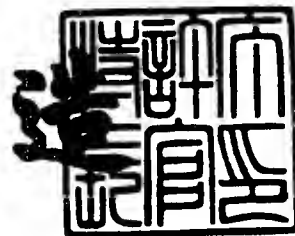
株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 達



出証番号 出証特2001-3073628

【書類名】 特許願
【整理番号】 PE28135
【提出日】 平成13年 2月28日
【あて先】 特許庁長官 殿
【国際特許分類】 G02F 1/13

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社日立製作所 日立研究所内

【氏名】 山本 恒典

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社日立製作所 日立研究所内

【氏名】 犬塚 達基

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社日立製作所 日立研究所内

【氏名】 檜山 郁夫

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社日立製作所 日立研究所内

【氏名】 小村 真一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100098017

【弁理士】

【氏名又は名称】 吉岡 宏嗣

【手数料の表示】

【予納台帳番号】 055181

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項1】 マトリクス状に配列された画素の集合体が設けられ、各画素に対して、行方向及び列方向に配列された配線を用いて独立に信号を与えて表示を行う表示装置において、圧縮された映像信号を、各画素が階調情報を持つビットマップに展開すること無く表示する表示制御手段を設けたことを特徴とする表示装置。

【請求項2】 マトリクス状に配列された画素の集合体が設けられ、各画素に対して、行方向及び列方向に配列された配線を用いて独立に信号を与えて表示を行う表示装置において、圧縮された映像信号を各画素毎の階調情報に展開する表示制御手段を各画素内に設けたことを特徴とする表示装置。

【請求項3】 マトリクス状に配列された画素の集合体が設けられ、各画素に対して、行方向及び列方向に配列された配線を用いて独立に信号を与えて表示を行う表示装置において、圧縮された映像信号を、該映像信号のデータ量を増大させること無く、そのまま表示する表示制御手段を設けたことを特徴とする表示装置。

【請求項4】 請求項1～3のいずれかに記載の表示装置において、前記映像信号は、空間軸と階調軸で圧縮された映像信号であることを特徴とする表示装置。

【請求項5】 請求項1～4のいずれかに記載の表示装置において、前記表示制御手段には、画素を N 行 $\times N'$ 列からなるブロックとして構成したとき、前記各ブロックに対して $N \times N'$ よりも少ない数である n 値の階調信号がルックアップテーブルにより定義されて転送され、かつ前記階調信号に対する識別信号が前記ブロック内の各画素に対して転送されることを特徴とする表示装置。

【請求項6】 請求項1～4のいずれかに記載の表示装置において、前記表示制御手段には、画素を N 行 $\times N'$ 列からなるブロックとして構成したとき、複数フレーム間で階調変化が多いブロックのみに対して $N \times N'$ よりも少

ない数である n 値の階調信号がルックアップテーブルにより定義されて転送され、かつ前記階調信号に対する識別信号が前記ブロック内の各画素に対して転送されることを特徴とする表示装置。

【請求項 7】 請求項 1～4 のいずれかに記載の表示装置において、
前記表示制御手段には、画素を N 行 \times N' 列からなるブロックとして構成したとき、

複数フレーム間で階調変化が少ないブロックでは $N \times N'$ よりも少ない数である m 値の階調信号が複数フレーム間にわたるルックアップテーブルにより定義されて転送され、かつ前記階調信号に対する複数フレーム間にわたる識別信号が前記ブロック内の各画素に対して転送される一方、

複数フレーム間で階調変化が多いブロックでは $N \times N'$ よりも少ない数でかつ前記 m よりも小さい n 値の階調信号が単一フレーム間でのルックアップテーブルにより定義されて転送され、かつ前記階調信号に対する単一フレーム間の識別信号が前記ブロック内の各画素に対して転送されることを特徴とする表示装置。

【請求項 8】 請求項 5～7 のいずれかに記載の表示装置において、
前記表示制御手段は、 N 行 \times N' 列の画素ブロックに対して、この画素ブロックに定義した n 個の階調信号に対する識別信号を与えた後に、この識別信号を元に、各画素に n 階調のうちの 1 つの階調信号を与えることを特徴とする表示装置。

【請求項 9】 請求項 5～7 のいずれかに記載の表示装置において、
前記表示制御手段は、 N 行 \times N' 列の画素ブロックに対して、この画素ブロックに定義した n 個の階調信号を割り当てられている各画素に与えているのと同一年間に、次の N 行 \times N' 列の画素ブロックの各画素に対して、この画素ブロックに与える n 個の階調に対する識別信号を与えることを特徴とする表示装置。

【請求項 10】 請求項 5～7 のいずれかに記載の表示装置において、
前記表示制御手段は、 N 行 \times N' 列の画素ブロックに対して、この画素ブロックに定義した n 個のうちの一つの階調信号について、この階調が割り当てられている画素に階調信号を与えているのと同一年間に、次の N 行 \times N' 列の画素ブロックに対して、この画素ブロックに与える n 個の階調のうちの一つの階調信号に

対する識別信号を対応する画素に与えることを特徴とする表示装置。

【請求項11】 行方向及び列方向にマトリクス状に配置された画素と、
前記画素内に設けられた画素電極と、
前記画素内に設けられ、前記画素電極の電圧に応じて表示を行う表示素子と、
走査線に走査信号を供給する走査線駆動回路と、
前記走査線に対して略直交方向に配置された識別信号線に識別信号を供給する
識別信号線駆動回路と、
前記識別信号線から供給された識別信号を前記画素内に保存する保存手段と、
前記各画素に階調電圧を供給する少なくとも2本の階調電圧線に階調電圧を供
給する階調電圧線駆動回路と、
前記保存手段に保存した識別信号を基に、前記階調電圧線に供給された階調電
圧を選択する選択手段と、
選択された階調電圧を画素電極に印加するためのスイッチング素子と、
該スイッチング素子を制御する階調書込線に階調書込信号を供給する階調書込
線駆動回路と、を備えた表示装置。

【請求項12】 請求項11に記載の表示装置において、
前記表示素子は液晶を用いた光変調素子で構成され、かつ前記階調電圧線は1
つの画素に対して2本設けられ、
前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第
1のアクティブ素子と画素内メモリ容量からなり、
前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、前記2本の
階調電圧線にそれぞれ接続されたn型アクティブ素子とp型アクティブ素子とか
らなり、

前記スイッチング素子は、前記階調書込線をゲート端子とし、n型アクティブ
素子、p型アクティブ素子、および前記画素電極に接続された第4のアクティブ
素子からなることを特徴とする表示装置。

【請求項13】 請求項12に記載の表示装置において、
表示の第1段階では、選択された走査線に接続されている前記第1のアクティ
ブ素子が導通状態となり、各画素の画素内メモリ容量に識別信号が書き込まれ、

その識別信号により前記n型アクティブ素子と前記p型アクティブ素子のどちらか一方が導通状態になることにより、2本の階調信号線のどちらかの電圧が決定され、

表示の第2段階では、前記階調書込線が選択されて前記第4のアクティブ素子が導通状態となり、決定された前記階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調されることを特徴とする表示装置。

【請求項14】、請求項11に記載の表示装置において、

前記階調電圧線は1つの画素に対して2本設けられ、

前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第1のアクティブ素子と画素内メモリ容量からなり、

前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、前記2本の階調電圧線にそれぞれ接続されたn型アクティブ素子とp型アクティブ素子とからなり、

前記スイッチング素子は、前記階調書込線をゲート端子とし、前記n型アクティブ素子、前記p型アクティブ素子、および前記画素電極に接続された第4のアクティブ素子からなり、

さらに、前記表示素子は前記画素電極をゲート端子とした第5のアクティブ素子により駆動されるLED素子であることを特徴とする表示装置。

【請求項15】 請求項12に記載の表示装置において、

表示の第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に識別信号が書き込まれ、その識別信号により前記n型アクティブ素子と前記p型アクティブ素子のどちらか一方が導通状態になることにより、2本の階調信号線のどちらかの電圧が決定され、

表示の第2段階では、前記階調書込線が選択されて前記第4のアクティブ素子が導通状態となり、決定された前記階調信号線の電圧が前記画素電極に印加されて、前記第5のアクティブ素子により電流量に変換されてLEDを駆動することを特徴とする表示装置。

【請求項 1 6】 行方向及び列方向にマトリクス状に配置された画素と、
前記画素内に設けられた画素電極と、
前記画素内に設けられ、前記画素電極の電圧に応じて表示を行う表示素子と、
走査線に走査信号を供給する走査線駆動回路と、
前記走査線に対して略直交方向に配置された識別信号線に識別信号を供給する
識別信号線駆動回路と、
前記識別信号線から供給された識別信号を前記画素内に保存する保存手段と、
前記各画素に階調電圧を供給する少なくとも 1 本の階調電圧線に階調電圧を供
給する階調電圧線駆動回路と、
前記保存手段に保存した識別信号を基に、隣接する画素や自画素の階調電圧線
に供給される階調電圧を選択する選択手段と、
選択された階調電圧を画素電極に印加するためのスイッチング素子と、
該スイッチング素子を制御する階調書込線に階調書込信号を供給する階調書込
線駆動回路と、を備えた表示装置。

【請求項 1 7】 請求項 1 6 に記載の表示装置において、
前記表示素子は液晶を用いた光変調素子で構成され、かつ前記階調電圧線は 1
つの画素に対して 1 本設けられ、
前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第
1 のアクティブ素子と画素内メモリ容量からなり、
前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、隣接する画
素と自画素の前記 2 本の階調電圧線にそれぞれ接続された n 型アクティブ素子と
p 型アクティブ素子とからなり、
前記スイッチング素子は、前記階調書込線をゲート端子とし、前記 n 型アクテ
ィブ素子、前記 p 型アクティブ素子、および前記画素電極に接続された第 4 のア
クティブ素子からなることを特徴とする表示装置。

【請求項 1 8】 請求項 1 7 に記載の表示装置において、
表示の第 1 段階では、選択された走査線に接続されている前記第 1 のアクティ
ブ素子が導通状態となり、各画素の画素内メモリ容量に識別信号が書き込まれ、
その識別信号により前記 n 型アクティブ素子と前記 p 型アクティブ素子のどちら

か一方が導通状態になることにより、隣接する画素内の前記 2 本の階調信号線のどちらかの電圧が決定され、

表示の第 2 段階では、前記階調書込線が選択されて前記第 4 のアクティブ素子が導通状態となり、決定された前記階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調されることを特徴とする表示装置。

【請求項 19】 行方向及び列方向にマトリクス状に配置された画素と、
前記画素内に設けられた画素電極と、
前記画素内に設けられ、前記画素電極の電圧に応じて表示を行う表示素子と、
走査線に走査信号を供給する走査線駆動回路と、
前記走査線に対して略直交方向に配置された識別信号線に識別信号を供給する識別信号線駆動回路と、

前記識別信号線から供給された識別信号を前記画素内に保存する保存手段と、
前記各画素に階調電圧を供給する少なくとも 2 本の階調電圧線に階調電圧を供給する階調電圧線駆動回路と、

前記保存手段に保存した識別信号を基に、前記階調電圧線に供給された階調電圧を選択する選択手段と、

選択された階調電圧を画素電極に出力するためのスイッチと、
前記スイッチを制御する領域指定線に領域指定信号を供給する領域指定線駆動回路と、

前記スイッチから出力された階調電圧を前記画素電極に印加するためのスイッチング素子と、

前記領域指定線と略直交方向に配置され、前記スイッチング素子を制御する階調書込線に階調書込信号を供給する階調書込線駆動回路と、を備えた表示装置。

【請求項 20】 請求項 19 に記載の表示装置において、

前記表示素子は液晶を用いた光変調素子で構成され、かつ前記階調電圧線は 1 つの画素に対して 2 本設けられ、

前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第 1 のアクティブ素子と画素内メモリ容量からなり、

前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、前記2本の階調電圧線にそれぞれ接続されたn型アクティブ素子とp型アクティブ素子とからなり、

前記スイッチは領域指定線をゲート端子として、前記n型アクティブ素子と前記p型アクティブ素子に接続されたアクティブ素子であり、

前記スイッチング素子は前記階調書込線をゲート端子とし、前記アクティブ素子および前記画素電極に接続された第4のアクティブ素子であることを特徴とする表示装置。

【請求項21】 請求項20に記載の表示装置において、

表示の第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に識別信号が書き込まれ、その識別信号により前記n型アクティブ素子と前記p型アクティブ素子のどちらか一方が導通状態になることにより、2本の階調信号線のどちらかの電圧が決定され、

表示の第2段階では、前記領域指定線および前記階調書込線を選択することで、前記アクティブ素子および前記第4のアクティブ素子が導通状態となり、領域指定線及前記階調書込線により指定された画素において、階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調されることを特徴とする表示装置。

【請求項22】 行方向及び列方向にマトリクス状に配置された画素と、

前記画素内に設けられた画素電極と、

前記画素内に設けられ、前記画素電極の電圧に応じて表示を行う表示素子と、

走査線に走査信号を供給する走査線駆動回路と、

前記走査線に対して略直交方向に配置された識別信号線に識別信号を供給する識別信号線駆動回路と、

前記識別信号線から供給された識別信号を前記画素内に保存する保存手段と、

前記各画素に階調電圧を供給する少なくとも1本の階調電圧線に階調電圧を供給する階調電圧線駆動回路と、

前記保存手段に保存した識別信号を基に、前記階調電圧線に供給された階調電

圧を出力するか否かを選択する選択手段と、

前記選択手段で選択され出力された階調電圧を前記画素電極に印加するためのスイッチング素子と、

該スイッチング素子を制御する階調書込線に階調書込信号を供給する階調書込線駆動回路と、

前記識別信号線駆動回路と前記階調電圧線駆動回路へのデータを一時保管するラインメモリと、を備えた表示装置。

【請求項 2 3】 請求項 2 2 に記載の表示装置において、

前記表示素子は液晶を用いた光変調素子で構成され、かつ前記階調電圧線は 1 つの画素に対して 1 本設けられ、

前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第 1 のアクティブ素子と画素内メモリ容量からなり、

前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、かつ階調電圧線に接続された第 2 のアクティブ素子であり、

前記スイッチング素子は、前記階調書込線をゲート端子とし、前記第 2 のアクティブ素子および前記画素電極に接続された第 4 のアクティブ素子であることを特徴とする表示装置。

【請求項 2 4】 請求項 2 3 に記載の表示装置において、

表示の第 1 段階では、選択された走査線に接続されている前記第 1 のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第 1 番目の階調に対する識別信号が書き込まれ、その識別信号により前記第 2 のアクティブ素子の導通状態が制御されて階調電圧が出力されるか否かが決定され、

表示の第 2 段階では、前記階調書込線を選択することで、前記第 4 のアクティブ素子が導通状態となり、第 1 番目の階調に対する電圧が出力されている画素では階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

表示の第 3 段階では、再度選択された走査線に接続されている前記第 1 のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第 2 番目の階調に対する識別信号が書き込まれ、その識別信号により第 2 のアクティブ素子の導通状

態が制御されて階調電圧が出力されるか否かが決定され、

表示の第4段階では、前記階調書込線を選択することで、前記第4のアクティブ素子が導通状態となり、第2番目の階調に対する電圧が出力されている画素では階調信号線の電圧が画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

上記の各段階がN行×N'列の画素ブロックに対して、n個の階調を定義した場合、2n段階まで繰り返されることを特徴とする表示装置。

【請求項25】 行方向及び列方向にマトリクス状に配置された画素と、
前記画素内に設けられた画素電極と、
前記画素内に設けられ、前記画素電極の電圧に応じて表示を行う表示素子と、
走査線に走査信号を供給する走査線駆動回路と、
前記走査線に対してほぼ直交方向に配置された識別信号線に識別信号を供給する識別信号線駆動回路と、
前記識別信号線から供給された識別信号を前記画素内に保存する保存手段と、
前記各画素に階調電圧を供給する少なくとも1本の階調電圧線に階調電圧を供給する階調電圧線駆動回路と、
前記保存手段に保存した識別信号を基に、前記階調電圧線に供給された階調電圧を前記画素電極に出力するか否かを選択する選択手段と、
前記識別信号線駆動回路と前記階調電圧線駆動回路へのデータを一時保管するラインメモリと、を備えた表示装置。

【請求項26】 請求項25に記載の表示装置において、
前記表示素子は液晶を用いた光変調素子で構成され、かつ前記階調電圧線は1つの画素に対して1本設けられ、
前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第1のアクティブ素子と画素内メモリ容量からなり、
前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、かつ前記階調電圧線に接続された第2のアクティブ素子であることを特徴とする表示装置。

【請求項27】 請求項26に記載の表示装置において、
表示の第1段階では、選択された走査線に接続されている前記第1のアクティ

ブ素子が導通状態となり、各画素の画素内メモリ容量に第1番目の階調に対する識別信号が書き込まれ、

表示の第2段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され第1番目の階調電圧が前記画素電極に出力され、

第3段階では、再度、走査線が選択されて前記第1のアクティブ素子が導通状態となり、前記識別信号線に印加されているリセット信号により各画素内メモリ容量がリセットされ、

表示の第4段階では、再び選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第2番目の階調に対する識別信号が書き込まれ、

表示の第5段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され第2番目の階調電圧が前記画素電極に出力され、

表示の第6段階では、更に再び走査線が選択されて前記第1のアクティブ素子が導通状態となり、前記識別信号線に印加されているリセット信号により各画素内メモリ容量はリセットされ、

上記の各段階が、 N 行 $\times N'$ 列の画素ブロックに対して、 n 個の階調を定義した場合、 $3n$ 段階まで繰り返されることを特徴とする表示装置。

【請求項28】 請求項23に記載の表示装置において、

画素を N 行 $\times N'$ 列からなる画素ブロックとして構成したとき、複数フレーム間で階調変化が少ないブロックにおいては、

第1フレームの第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第1番目の階調に対する識別信号が書き込まれ、その識別信号により前記第2のアクティブ素子の導通状態が制御され階調電圧が出力されるか否かが決定され、

第2段階では、階調書込線を選択することで、前記第4のアクティブ素子が導通状態となり、第1番目の階調に対する電圧が出力されている画素では、階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

第3段階では、再度選択された走査線に接続されている前記第1のアクティブ

素子が導通状態となり、各画素の画素内メモリ容量に第2番目の階調に対する識別信号が書き込まれ、その識別信号により前記第2のアクティブ素子の導通状態が制御されて階調電圧が出力されるか否かが決定され、

第4段階では、前記階調書込線を選択することで、前記第4のアクティブ素子が導通状態となり、第2番目の階調に対する電圧が出力されている画素では、階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

第2フレームの第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第3番目の階調に対する識別信号が書き込まれ、その識別信号により前記第2のアクティブ素子の導通状態が制御されて階調電圧が出力されるか否かが決定され、

第2段階では、前記階調書込線を選択することで、前記第4のアクティブ素子が導通状態となり、第3番目の階調に対する電圧が出力されている画素では、階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

第3段階では、再度選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第4番目の階調に対する識別信号が書き込まれ、その識別信号により前記第2のアクティブ素子の導通状態が制御されて階調電圧が出力されるか否かが決定され、

第4段階では、前記階調書込線を選択することで、前記第4のアクティブ素子が導通状態となり、第4番目の階調に対する電圧が出力されている画素では、階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

複数フレーム間で階調変化が少ない N 行 $\times N'$ 列の画素ブロックに対して、 m 個の階調を定義した場合、1フレームにおける上記各段階を m' 段階とすると、 $m / (m' / 2)$ フレームまで繰り返され、

複数フレーム間で階調変化が多いブロックにおいては、

各フレームの第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第1番目の階調に

対する識別信号が書き込まれ、その識別信号により前記第2のアクティブ素子の導通状態が制御されて階調電圧が出力されるか否かが決定され、

第2段階では、前記階調書込線を選択することで、前記第4のアクティブ素子が導通状態となり、第1番目の階調に対する電圧が出力されている画素では、階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

第3段階では、再度選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第2番目の階調に対する識別信号が書き込まれ、その識別信号により前記第2のアクティブ素子の導通状態が制御されて階調電圧が出力されるか否かが決定され、

第4段階では、前記階調書込線を選択することで、前記第4のアクティブ素子が導通状態となり、第2番目の階調に対する電圧が出力されている画素では、階調信号線の電圧が前記画素電極に印加されて液晶の配向状態を変化させることにより、光が変調され、

複数フレーム間で階調変化が多い N 行 $\times N'$ 列の画素ブロックに対して、 n 個の階調を定義した場合、1フレーム内の上記段階が $2n$ 段階まで繰り返され、

さらに、上記各フレームが毎回繰り返されることを特徴とする表示装置。

【請求項29】 請求項26に記載の表示装置において、

画素を N 行 $\times N'$ 列からなる画素ブロックとして構成したとき、複数フレーム間で階調変化が少ないブロックにおいては、

第1フレームの第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第1番目の階調に対する識別信号が書き込まれ、

第2段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され、第1番目の階調電圧が前記画素電極に出力されて液晶の配向状態を変化させることで光が変調され、

第3段階では、再度、走査線が選択され、前記第1のアクティブ素子が導通状態となり、前記識別信号線に印加されているリセット信号により各画素内メモリ容量がリセットされ、

第4段階では、再び選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第2番目の階調に対する識別信号が書き込まれ、

第5段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され、第2番目の階調電圧が画素電極に出力されて液晶の配向状態を変化させることで光が変調され、

第6段階では、更に再び走査線が選択されて前記第1のアクティブ素子が導通状態となり、前記識別信号線に印加されているリセット信号により各画素内メモリ容量はリセットされ、

第2フレームの第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第3番目の階調に対する識別信号が書き込まれ、

第2段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され、第3番目の階調電圧が画素電極に出力されて液晶の配向状態を変化させることで光が変調され、

第3段階では、再度、走査線が選択され、前記第1のアクティブ素子が導通状態となり、前記識別信号線に印加されているリセット信号により各画素内メモリ容量はリセットされ、

第4段階では、再び選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第4番目の階調に対する識別信号が書き込まれ、

第5段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され、第4番目の階調電圧が画素電極に出力されて液晶の配向状態を変化させることで光が変調され、

第6段階では、更に再び、走査線が選択され、前記第1のアクティブ素子が導通状態となり、識別信号線に印加されているリセット信号により各画素内メモリ容量はリセットされ、

複数フレーム間で階調変化が少ない N 行 $\times N'$ 列の画素ブロックに対して、 m 個の階調を定義した場合、1フレームにおける上記段階は m' 段階とすると、 m

／（ m' ／3）フレームまで繰り返され、

複数フレーム間で階調変化が多いブロックにおいては、

各フレームの第1段階では、選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第1番目の階調に対する識別信号が書き込まれ、

第2段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され、第1番目の階調電圧が画素電極に出力されて液晶の配向状態を変化させることで光が変調され、

第3段階では、再度、走査線が選択され、前記第1のアクティブ素子が導通状態となり、識別信号線に印加されているリセット信号により各画素内メモリ容量はリセットされ、

第4段階では、再び選択された走査線に接続されている前記第1のアクティブ素子が導通状態となり、各画素の画素内メモリ容量に第2番目の階調に対する識別信号が書き込まれ、

第5段階では、その識別信号により前記第2のアクティブ素子の導通状態が制御され、第2番目の階調電圧が画素電極に出力されて液晶の配向状態を変化させることで光が変調され、

第6段階では、更に再び、走査線が選択され、前記第1のアクティブ素子が導通状態となり、識別信号線に印加されているリセット信号により各画素内メモリ容量はリセットされ、

複数フレーム間で階調変化が多い N 行 $\times N'$ 列の画素ブロックに対して、 n 個の階調を定義した場合、1フレーム内の上記各段階が $3n$ 段階まで繰り返され、

さらに、上記各フレームが毎回繰り返されることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、特に超高精細及び駆動周波数の高い表示装置に関する。

【0002】

【従来の技術】

従来、表示装置としてはC R Tが主流であったが、近年はL C Dが普及しつつあり、さらに次世代の表示装置としてはP D PやF E Dなどが登場しつつある。

これら現在の表示装置は全て、線順次走査方式や点順次走査方式など、1フレーム（1画面）を表示するのに横方向や縦方向に点や線を走査させることで表示する方式をとっている。これは1画面分の表示データが点順次方式で伝送されてくることが一因である。

【0003】

従来のT F Tアクティブマトリクス駆動方式の液晶表示装置について以下に説明する。

T F Tアクティブマトリクス液晶表示装置の駆動には線順次走査方式が採用されている。点順次方式で伝送されてくる表示データは信号線ドライバに1行分保持され、走査線に印加される走査パルスに同期して、信号線に出力される。各走査線は1フレーム時間内に1回、パネルの上側から下側に向かって走査パルスが印加されるようになっており、各走査線に接続されている画素に表示信号が書き込まれることで、1画面が構成される。

【0004】

ここで、1フレーム時間としては通常、 $1/60$ 秒程度が用いられるため、 1024×768 ドットの画素構成の液晶表示装置では、1フレーム内に768本のゲート配線を走査し、非表示期間を考慮すると、一走査パルスの時間幅は約 20μ 秒となる。

【0005】

この走査パルスが印加された画素では、T F Tのゲート電極電圧が高くなり、T F Tがオン状態になる。このとき、信号線に印加されている液晶駆動電圧は、T F Tのソース、ドレイン間を経由して表示電極に印加され、表示電極と対向基板上に形成した対向電極との間に形成される液晶容量と、画素に配置した負荷容量とを合わせた画素容量を先述の 20μ 秒の時間内に充電する。

【0006】

一方、C R Tを用いた表示装置は、線順次方式ではなく、転送されてくる表示

データをビームスポットとして、縦横に走査する点順次方式である。この場合も1フレーム時間としては $1/60$ 秒程度であり、 1024×768 ドットの画素構成では横1ラインを描く時間は 20μ 秒程度である。また、PDPも基本的には線順次駆動方式による表示である。

【0007】

このような表示装置に対して、近年の高度情報化は表示能力の増大を要求している。例えば、画像の高精細化による表示情報量の増大や高画素密度化による静止画再現性の向上、及び高駆動周波数化による動画表示性能の向上等である。

【0008】

この表示すべき情報量の増大は、画像出力源から表示装置への伝送系の帯域増大を要求する。また、その表示データを受け取る表示装置側でも、受け取ったデータを表示装置に適した形式に変換する処理回路の処理能力の増大が必要であり、さらに表示装置における駆動方法にも処理能力の向上が要求される。例えば、従来のTFTアクティブマトリクス駆動では、上記のような動作を行うため、高精細になり表示する画素数が増大するに伴い、走査パルスの時間幅は短くなる。すなわち、短い時間内で画素容量を充電する必要がある。また、高速動画に対応するためには1フレーム時間をさらに短くする必要がある、この場合も走査パルスの時間幅は短くなる。このような短い時間内に液晶駆動電圧を画素容量に充電する必要がある。この液晶駆動電圧は端部に設けた駆動回路から信号電極線を介して画素容量に供給されるが、この際、信号電極線の配線遅延により、画素容量に供給される液晶駆動電圧には遅れが生じる。正常な表示を行うためには、走査パルスの時間幅をこの遅れ時間に対して十分に長く取る必要があるが、従来の線順次駆動方式では高精細あるいは高速動画対応表示を行う場合には、この走査パルスの時間幅を十分に確保できず、正常な表示が行えなくなることが懸念されている。

【0009】

以上のように、表示すべき情報量の増大には、主に3つの課題がある。すなわち、(1)表示データの実質転送能力の向上、(2)表示装置のデータ処理回路の処理能力増大、(3)表示装置の表示能力の増大である。

【 0 0 1 0 】

このうち、(1)の表示データの実質転送能力の向上については、SID '00 DIGEST P39に記載されているように、1フレーム前の画像と比較して、変化した分の画像領域のみのデータを転送するP Vリンク方式や、画像を人の目に認識しない程度に圧縮をかけて転送する方式などが提案されている。

【 0 0 1 1 】

また、(3)表示装置の表示能力の増大については、表示周波数の増大に対応して、画像を高速に書換えて表示できる表示方法として、例えば特開平11-75144号公報に記載されているように、光学空間変調素子の各画素毎に、2つのメモリとメモリ内容に従って画素を駆動する手段を備え、予め表示する画像を構成する全画素について画素内の第1のメモリにデータを書き込み、その後、第1のメモリから第2のメモリに全画素一斉にデータ転送し、第2のメモリのデータに従って駆動手段により各画素における光のオン・オフを高速に制御して、パルス幅変調(PWM)により多階調の画像を表示する方法がある。

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら、上記のP Vリンク方式や画像圧縮方式をこれまでの表示装置で受け取る場合、受け取った画像データを表示装置がそのまま表示できないために、(2)の処理回路の処理能力を大幅に増大させる必要がある。また、(3)については何も処置していないため、画像が正常に表示されるかどうかは不明である。

【 0 0 1 3 】

ここで、(3)について、特開平11-75144号公報における方法を用いた場合、この方法は多階調表示方法としてパルス幅変調(PWM)を用いているため、転送されてきた表示データをそのまま表示することができない。このことから(2)の処理能力をさらに大幅に増大させる必要があるが、処理回路の大幅な増大はコストの大幅増につながる。

【 0 0 1 4 】

本発明の目的は、(1)P Vリンク方式や画像圧縮方式等の実質転送能力が向

上された表示データを受け取り、(2) データ処理回路の処理能力を大幅に向上させることが無く、さらには(3) 多くの情報量を正常に表示することが可能な表示装置を提供することにある。

【0015】

【課題を解決するための手段】

上記目的を達成するために、本発明は、マトリクス状に配列された画素の集合体が設けられ、各画素に対して、行方向及び列方向に配列された配線を用いて独立に信号を与えて表示を行う表示装置において、圧縮された映像信号を、各画素が階調情報を持つビットマップに展開すること無く表示する表示制御手段を設けたことを特徴としている。

【0016】

また、別の見方をすると、本発明は、上記構成の表示装置において、圧縮された映像信号を各画素毎の階調情報に展開する表示制御手段を各画素内に設けたことを特徴としている。

【0017】

さらに別の見方をすると、本発明は、上記構成の表示装置において、圧縮された映像信号を、該映像信号のデータ量を増大させること無く、そのまま表示する表示制御手段を設けたことを特徴としている。

【0018】

本発明では、例えば画素を N 行 $\times N'$ 列からなるブロックとして構成したとき、各ブロックに対して $N \times N'$ よりも少ない数である n 値の階調信号をルックアップテーブルにより定義するとともに、階調信号に対する識別信号をブロック内の各画素に対して転送するようにすれば、表示制御手段では映像信号を展開することなく多くの情報量を表示させることができる。

【0019】

本発明の表示装置の具体的な構成としては、行方向及び列方向にマトリクス状に配置された画素と、前記画素内に設けられた画素電極と、前記画素内に設けられ、前記画素電極の電圧に応じて表示を行う表示素子と、走査線に走査信号を供給する走査線駆動回路と、前記走査線に対して略直交方向に配置された識別信号

線に識別信号を供給する識別信号線駆動回路と、前記識別信号線から供給された識別信号を前記画素内に保存する保存手段と、前記各画素に階調電圧を供給する少なくとも2本の階調電圧線に階調電圧を供給する階調電圧線駆動回路と、前記保存手段に保存した識別信号を基に、前記階調電圧線に供給された階調電圧を選択する選択手段と、選択された階調電圧を画素電極に印加するためのスイッチング素子と、該スイッチング素子を制御する階調書込線に階調書込信号を供給する階調書込線駆動回路とを備えたことを特徴としている。

【0020】

そして、本発明では、前記表示素子は液晶を用いた光変調素子で構成され、かつ前記階調電圧線は1つの画素に対して2本設けられ、前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第1のアクティブ素子と画素内メモリ容量からなり、前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、前記2本の階調電圧線にそれぞれ接続されたn型アクティブ素子とp型アクティブ素子とからなり、前記スイッチング素子は、前記階調書込線をゲート端子とし、n型アクティブ素子、p型アクティブ素子、および前記画素電極に接続された第4のアクティブ素子からなることを特徴としている。

【0021】

また、本発明では、前記階調電圧線は1つの画素に対して2本設けられ、前記保存手段は、前記走査線をゲート端子とし前記識別信号線に接続された第1のアクティブ素子と画素内メモリ容量からなり、前記選択手段は、ゲート端子が前記画素内メモリ容量に接続され、前記2本の階調電圧線にそれぞれ接続されたn型アクティブ素子とp型アクティブ素子とからなり、前記スイッチング素子は、前記階調書込線をゲート端子とし、前記n型アクティブ素子、前記p型アクティブ素子、および前記画素電極に接続された第4のアクティブ素子からなり、さらに、前記表示素子は前記画素電極をゲート端子とした第5のアクティブ素子により駆動されるLED素子であることを特徴としている。

【0022】

【発明の実施の形態】

以下、本発明を実施の形態を図面に従って説明する。

(実施の形態 1)

まず、本発明に係る表示装置が受け取る画像データ形式について、図 3 を用いて説明する。

通常、画像データというものは色毎の階調データを持つ画素の集合体として表わされる。例えば、PC (Personal Computer) などで良く使用されている画像フォーマットでは各画素データは赤(R)、緑(G)、青(B)の光の 3 原色に分解され、それぞれの色毎に明から暗までの 8 bit = 256 階調のデータとして記述されている。この場合、1 画素の画像情報量は $8 \text{ bit} \times 3 (\text{色}) = 24 \text{ bit}$ となる。そして、これらの画素データの集合体としての 1 画面画像データをビットマップという。PC などの画像出力源においては、このビットマップがメモリ内に保存されており、従来の画像出力方法では、そのビットマップの左上から右下までのデータを点順次式に送り出しているのである。一方、表示装置側は点順次式に送り出されたデータを受け取り、前述のように点順次式、若しくは線順次式で平面データに展開し、画像化して表示しているのである。なお、表示装置によっては、表示装置内に 1 画面分程度のメモリを持ち、受け取ったビットマップを 1 度、メモリ内に展開して、改めて表示形式に直して表示するという処理をしているものもある。

【0023】

以上のようなビットマップを点順次式に出力する方法では、画像の情報量が増えてくると、伝送系の帯域の増大が必要になってくるのは、前に述べた通りである。そこで、人間の目にはあまり劣化が見えない程度に、ビットマップを圧縮して転送する方法がいくつか考えられている。図 3 の上半分には圧縮前のデータ形式であるビットマップそのままのデータ形式で示してある。4 × 4 画素を 1 ブロックとすると、この 1 ブロックの圧縮前の情報量は 384 bit である。これを次のようなルールで圧縮する。(1) N × N' 画素で 1 ブロック (本実施の形態では 4 × 4) として、ブロック内を 2 つの階調で近似する。(2) 2 つの階調を別にルックアップテーブルにより定義して、各画素にはテーブルで定義された識別信号を割り振る。

【0024】

この場合、転送すべき情報は2つの階調情報 $24\text{ bit} \times 2$ と、各画素 1 bit の識別情報となる。1ブロックのデータ量は 64 bit となり、 $1/6$ の圧縮がかけられたことになる。この圧縮方法では1ブロック内の画素について、空間方向の解像度を圧縮させると共に、階調数も圧縮させていることから、空間軸と階調軸に圧縮をかけた映像信号となる。本実施の形態の表示装置においては、上述したような 4×4 画素を1ブロックとして、階調を2つに圧縮した映像信号を受け取るが、1ブロックの構成画素数は 4×4 以外でも可能であり、圧縮後の階調も2に限定する訳ではない。

【0025】

次に、図2は本実施の形態の表示装置における画素回路図を示している。走査線101と識別信号線102がマトリクス状に形成され、その交点に走査線101がゲート端子となるように、第1のアクティブ素子106が配置されている。第1のアクティブ素子106は走査線101に選択電圧が与えられると、識別信号線102の電位を画素メモリ107に書き込む。ここで、識別信号線102の電位とは、図3で説明した各画素における識別信号を電圧に直したものである。画素メモリ107に書き込まれた識別信号電位により、n型アクティブ素子108もしくはp型アクティブ素子109のどちらかが導通状態となり、それぞれのアクティブ素子が接続されている階調電圧線1(103)または階調電圧線2(104)に印加されている電圧のどちらかが、第4のアクティブ素子110まで出力される。ここで、階調電圧線1(103)または階調電圧線2(104)に印加されている電圧とは、図3で説明した各ブロックにおいてルックアップテーブルにより定義された階調信号を電圧に直したものである。

【0026】

続いて、階調書込線105に選択電圧が与えられることにより第4のアクティブ素子110が導通状態になり、画素電極111に階調電圧が出力される。そして、この画素電極111の電圧により光変調素子112が制御され画像が表示される。ここで、本実施の形態では光変調素子112は保持容量113と液晶114からなり、液晶の電気光学効果により光の透過光を変調している。

【0027】

次に、本実施の形態の表示装置における駆動方法を、図4を用いて説明する。本実施の形態では4行×4列の画素を1ブロックとしているため、駆動方法も4行を1単位として考えられる。ただし、図4はそのうちの1画素についての駆動方法を示している。

【0028】

走査線は従来と同じく、上から下まで順次走査パルス206により走査される。そして、走査線の電位201に走査パルス206が入力された時に識別信号線の電位202が画素メモリの電位207に転送されるのは前述した通りである。ここで、識別信号線の電位202はどの時点でもハイ(Hi)かロー(Lo)かの、2つのデジタル的な電位であり、画素メモリ107に書き込まれた値がn型もしくはp型アクティブ素子の閾値電圧を超えれば良い程度の精度しか求められていないために、走査線101を高速で順次走査して、走査パルス206の時間幅が短くなったとしても、十分に書込み動作が可能である。

【0029】

上記のような識別信号の画素メモリ107への書込みが4行進んだ時点で、その4行分の階調書込線の電位205に階調書込パルス208が走査パルス4行分の時間だけ印加される。つまり、走査線101の順次走査は1行ずつだが、階調書込線105の走査は4行ずつということである。

【0030】

この書込みパルス208により階調電圧が階調電圧線1もしくは階調電圧線2から画素電極111に書き込まれる訳であるが、走査パルス4つ分の時間があるため、256階調の精度が必要なアナログ電圧値でも十分に書き込むことが可能である。

【0031】

このような画素構造および駆動方法によると、高精度が必要な階調電圧書込みにかけられる時間が1行の走査期間の4倍とすることができるため、今までより4倍程度高速な線順次走査が可能となり、その分、多くの情報を正しく表示することができる。

【0032】

次に、図1は本実施の形態の表示装置のブロック図を示している。液晶表示部130には、図2で示した画素がマトリクス状に配列されている。これらの画素群への配線である走査線101、識別信号線102、階調電圧線1(103)と階調電圧線2(104)、および階調書込線105はそれぞれ走査線駆動回路131、識別信号駆動回路132、階調電圧線駆動回路133、階調書込線駆動回路135によって駆動され、それぞれの駆動回路は液晶表示コントローラ136によって制御される。ここで、液晶表示コントローラ136は画像データとして識別信号と階調信号を、また、制御用信号として垂直同期信号や水平同期信号、ドットクロックなどを画像信号源より受け取り、それをビットマップとして展開すること無く、タイミングコントローラ137によるタイミング調整をただけで、そのまま出力している。

【0033】

以上のように、本実施の形態の表示装置では、(1) 4×4 の画素を1ブロックとして、空間軸と階調軸に圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするので、表示用コントローラの回路規模を大きくする必要が無く、低コストに抑えることができる。さらに、(3) 高速駆動が可能なため、大量の情報を正しく表示することが可能である。

【0034】

なお、本実施の形態では1ブロックを 4×4 画素としたが、同一の構造、駆動方法で $n \times n'$ 画素を1ブロックとすることも可能である。

【0035】

(実施の形態2)

次に、実施の形態2について説明する。図5は、本実施の形態の表示装置における画素回路図を示している。本実施の形態では、実施の形態1に比べて、光変調素子112の構成が異なっている。すなわち、本実施の形態における光変調素子112は、保持容量113と、画素電極111をゲート端子とした第5のアクティブ素子115と、第5のアクティブ素子115を介して電流源と接続されているLED素子116とを備えたLED光変調素子からなっている。なお、光変

調素子112以外は、実施の形態1と同じ構成である。

【0036】

画素電極111に書き込まれた階調電圧は同時に保持容量113にも書き込まれており、この電圧が第5のアクティブ素子115を駆動して、LED素子116に流れる電流を制御することで、発光量を変調する。このように、光変調素子112としてLED光変調素子を用いた場合は、液晶を用いた光変調素子よりも応答特性が速いため、階調電圧を書き込む時間をより短くすることが可能となる。その結果、より高速の線順次走査が可能となって、より多くの情報が表示可能な表示装置を得ることができる。

【0037】

以上のように、本実施の形態では、実施の形態1の場合と同様、(1) 4×4 の画素を1ブロックとして、空間軸と階調軸に圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするので、表示用コントローラの回路規模を大きくする必要が無く、低コストに抑えることができる。さらに、(3) 実施の形態1より高速駆動が可能のため、さらに大量の情報を正しく表示することが可能である。

【0038】

(実施の形態3)

次に、実施の形態3について説明する。図6は、本実施の形態の表示装置における画素回路図を示している。実施の形態1では階調電圧線(1と2)が各画素に接続されていたが、本実施の形態では階調電圧線は1本となっている。ただし、お互いに隣接している画素でその階調電圧線を共有し合っているため、機能的にはほとんど同等である。唯一の制限は、実施の形態1では任意の n 、 n' に対して、 $n \times n'$ 画素を1ブロックとすることができたが、本実施の形態では横 $2n \times$ 縦 n' 画素を1ブロックとすることしかできないことである。しかし、実際には1ブロックの縦横方向の画素数は偶数とすることが多く、ほとんど問題とならない。

【0039】

本実施の形態においては、各画素あたりの配線数が減少するために、製造時に

おける配線間短絡などが減少し、歩留まりを向上させることができ、これにより表示装置を低コストで製造できる。また、配線数の減少は液晶表示部の開口率の向上にもつながるために、同じ明るさのバックライトを使用した場合に明るい表示装置とすることができる。

【0040】

以上のように、本実施の形態では、実施の形態1の場合と同様、(1) 4×4 の画素を1ブロックとして、空間軸と階調軸に圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするので、表示用コントローラの回路規模を大きくする必要が無く、低コストに抑えることができる。さらに、(3) 高速駆動が可能で大量の情報を正しく表示できるだけでなく、低コストで明るい表示装置とすることが可能である。

【0041】

(実施の形態4)

次に、実施の形態4について説明する。本実施の形態の表示装置が受け取る表示データは、基本的には実施の形態1と同じ圧縮方法であるが、本実施の形態では転送データは1画面の全てのビットマップに対する圧縮データではなく、図7に示すように画面上で1つ前のフレームと比較して、書き換えの必要な領域のみのビットマップに対する圧縮データが転送される方式となっている。これは前述したPVリンク方式が書き換えの必要な領域のみのビットマップを転送しているのと同じように、表示装置に表示すべき情報量が増えてデータ転送量が増えた時に有効なデータ転送方式である。この場合、画像データとは別に、書き換えの領域を指定するための信号も制御信号として転送されることになる。

【0042】

以上のように、本実施の形態では、表示装置が受け取るデータ形式は、(A) 書き換えの必要な領域のみ、(B) 4×4 画素を1ブロックとして、ブロック内を2つの階調で近似し、(C) 2つの階調を別にルックアップテーブルにより定義して、各画素にはテーブルで定義された識別信号を割り振り、(D) データ転送時に領域指定信号も同時に転送するという形式である。

【 0 0 4 3 】

図 9 は本実施の形態の表示装置における画素回路図を示している。本実施の形態においては、n 型アクティブ素子 1 0 8 および p 型アクティブ素子 1 0 9 の出力と第 4 のアクティブ素子 1 1 0 の入力との間に、領域指定アクティブ素子 1 1 7 が設けられている。また、領域指定アクティブ素子 1 1 7 のゲート端子に接続された領域指定線 1 1 8 が階調書込線 1 0 5 と直角方向に配置されている。なお、領域指定アクティブ素子 1 1 7 は第 4 のアクティブ素子 1 1 0 と画素電極 1 1 1 との間に設けられていてもよい。他の構成は実施の形態 1 と同様である。

【 0 0 4 4 】

本実施の形態の表示装置における駆動方法は、実施の形態 1 の場合とほぼ同じであるが、領域指定アクティブ素子 1 1 7 が加わったため、階調電圧を画素電極 1 1 1 に書き込む際に、階調書込パルス 2 0 8 (図 4 参照) に同期して、領域指定線 1 1 8 にパルスを入れた場合のみ、画素電極 1 1 1 の電圧は書き換えられる。

【 0 0 4 5 】

図 8 は本実施の形態の表示装置のブロック図を示している。本実施の形態では、領域指定線駆動回路および識別信号線駆動回路を一体化させた識別信号線・領域指定線駆動回路 1 3 8 が液晶表示部 1 3 0 に設けられ、さらに液晶表示コントローラ 1 3 6 内には領域指定タイミングコントローラ 1 3 9 が設けられている。

【 0 0 4 6 】

上記画素構造では領域指定線 1 1 8 と階調書込線 1 0 5 の両方が選択された領域のみの表示が書き換えられる。これら領域指定線 1 1 8 と階調書込線 1 0 5 の選択パルスは、画像信号源より転送されてきた水平同期信号や垂直同期信号、および領域指定信号などの制御信号を元に領域指定タイミングコントローラ 1 3 9 が制御する。また、画像データも書き換え領域の走査線 1 0 1 や識別信号線 1 0 2、階調電圧線 1 0 3、1 0 4 に出力しなければならないが、これについても領域指定タイミングコントローラ 1 3 9 が制御する。

【 0 0 4 7 】

本実施の形態の表示装置では、1 フレーム前の画像と比較して書き換えの必要

のある領域のみを領域指定して書き換えなければならないため、送られてきた制御信号を解析し各配線のタイミングを調整する必要がある。このため、液晶表示コントローラ 1 3 6 の回路規模は実施の形態 1 と比較すると多少大きくなるが、送られてきた画像データを表示装置側に持っているメモリ内にビットマップとして展開する方式ではなく、転送データはそのまま表示することができるので、回路規模は大幅に大きくなる訳ではない。

【 0 0 4 8 】

以上のように、本実施の形態の表示装置では、前述の各実施の形態と同様に、
 (1) 書き換えの必要がある領域のみ、 4×4 の画素を 1 ブロックとして、空間軸と階調軸に圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするため、表示用コントローラの回路規模を大幅に増大する必要が無く、低コストに抑えることができる。さらに、(3) 表示部は高速駆動が可能のため、大量の情報を正しく表示することができる。

【 0 0 4 9 】

なお、本実施の形態においても、1 ブロックを 4×4 画素に限定しないで、同一の構造、駆動方法で $n \times n'$ 画素を 1 ブロックとすることも可能である。

また、本実施の形態においても、階調電圧線を隣接する画素で共有することが可能であり、光変調素子を LED 素子とすることも可能である。

さらに、領域指定線を常時選択状態とすれば、実施の形態 1 と全く同等の圧縮データを受け取ることが可能となることは説明するまでもない。

【 0 0 5 0 】

(実施の形態 5)

次に、実施の形態 5 について説明する。図 1 0 は、本実施の形態の表示装置における画素回路図を示している。実施の形態 1 では、各画素に階調電圧線 (1 と 2) が 2 本接続されていたが、本実施の形態では、各画素には階調電圧線 1 0 3 が 1 本接続されているだけである。さらに p 型アクティブ素子に相当する素子もなく、n 型アクティブ素子に対応する第 2 のアクティブ素子 1 0 8 のみが設けられている。このため、画素内にある 3 つのアクティブ素子 1 0 6, 1 0 8, 1 1

0 はすべて単極性のものである。これにより、各アクティブ素子を作る工程が単極性のみで済み、若しくは単極性のアクティブ素子しか作れない製造方法でも製造可能となる。どちらにしても低コスト化が可能である。

【0051】

本実施の形態では階調信号線が1本しかないため、1回の階調書込みパルスでは1ブロックのうち、1階調分の画素にのみ階調電圧書込みできる。そのため2階調の書込みのためには2回の階調書込みパルスと走査パルスを必要とする。この2重走査駆動方法を図11に示す。

【0052】

4行×4列が1ブロックであるので、走査線を1から4まで走査して、各ブロック内で第1階調を表示する画素に対して、Hiの識別信号を書き込んだ後、5から6までを走査している間に、走査線1から4までの階調書込線が選択されて、階調電圧線から走査線1から4の各ブロックに対する第1階調の電位が画素電極111に書き込まれる。この間、第2階調を表示する画素の第2のアクティブ素子108は導通状態とならないため、階調書込線が選択されても画素電極には階調電圧が印加されない。続いて、走査線5から8が走査された後、走査線1から4が再度走査される。今回の走査では各ブロック内で第2階調を表示する画素に対して、Hiの識別信号を書き込むため、次の走査線5から8を走査している間に、これらの画素の画素電極には第2階調の階調電圧が書き込まれることになる。

【0053】

この2重走査駆動方法では1画面を描画するのに各画素を2度走査する必要があるため、実施の形態1ほど駆動速度が速くならないが、通常の線順次駆動法よりは高速であるため、多くの情報を表示することが可能である。

【0054】

図12は本実施の形態の表示装置のブロック図を示している。本実施の形態では、液晶コントローラ136内に2重走査タイミングコントローラ141が設けられ、この2重走査タイミングコントローラ141を用いて走査線101や階調書込線105の2重走査が制御される。また、液晶コントローラ136内にはラ

インメモリ140が設けられ、このラインメモリ140は、画像データである識別信号や階調信号を2重走査の2回目まで保存しておくための識別信号用8ラインメモリと、階調信号用2ブロックラインメモリからなるラインメモリ140とを備えている。このように本実施の形態では2重走査により画像を表示しているため、液晶表示コントローラ136の回路規模は実施の形態1と比較すると多少大きくなるが、送られてきた画像データを表示装置側に持っているメモリ内にビットマップとして展開する方式ではなく、転送データはそのまま表示することができるので、回路規模は大幅に大きくなる訳ではない。

【0055】

以上のように、本実施の形態の表示装置によれば、前述の各実施の形態と同様、(1) 4×4 の画素を1ブロックとして、空間軸と階調軸に圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするため、表示用コントローラの回路規模を大幅に増大する必要が無く、低コストに抑えることができる。さらに、(3) 表示部は単極性のアクティブ素子しか使用しないため、低コストで製造可能であるとともに、通常の線順次駆動方式と比較して高速駆動が可能のため、大量の情報を正しく表示することが可能である。

【0056】

なお、本実施の形態においても、光変調素子をLED素子とすることが可能である。また1ブロックを 4×4 画素としたが、同一の構造、駆動方法で $n \times n$ 画素を1ブロックとすることも可能である。

さらに、本実施の形態では1ブロック内に定義した階調数は2であったが、走査の回数を増やすことにより1ブロック内に定義する階調数を増やすことも可能である。

【0057】

(実施の形態6)

次に、実施の形態6について説明する。図13は、本実施の形態の表示装置における画素回路図を示している。本実施の形態においては、前述の各実施の形態5にあった階調書込線105が無く、また階調書込線105がゲート端子に接続

されていたアクティブ素子 1 1 0 も無い。そして、第 2 のアクティブ素子 1 0 8 の出力が画素電極 1 1 1 に直結されている。このようにアクティブ素子が 1 つ減り、配線が 1 本減ったことで、製造工程における歩留まりは更に向上し、また、より低コストでの製造が可能となる。

【0 0 5 8】

本実施の形態の表示装置では階調書込線がないため、階調電圧線 1 0 3 に印加されている階調電圧は、例え、それがこのブロックに対する階調電圧でないとしても、画素内メモリ 1 0 7 に H i の識別信号が書き込まれている画素では常に画素電極 1 1 1 に階調電圧が書き込まれることになる。これに対しては 2 重走査駆動方法を更に工夫して、階調電圧が書き込まれた後に、もう一度、走査線を選択して、画素内メモリ 1 0 7 に L o の識別信号を書き込むようにした。これを図 1 4 に示す。

【0 0 5 9】

走査線 5 から 8 を選択した後、走査線 1 から 4 を同時に選択して、すべての画素の画素メモリ 1 0 7 に L o の識別信号を書き込むことで、この時点の階調電圧線の電位が最終的に画素電極 1 1 1 に保持されることになる。そして、三度、走査線 1 から 4 を走査した後、同様に走査線 5 から 8 を同時に選択して走査線 5 から 8 に接続されている画素の画素電極電位を決定している。このように本実施の形態の駆動法では、実施の形態 5 の 2 重走査駆動方法に比べて、4 本の走査線を同時に選択して画素電極電位を決定させる期間が必要であるために、駆動速度は遅くなる。しかし、それでも通常の線順次駆動方法よりは高速であるため、多くの情報を表示することが可能である。

【0 0 6 0】

図 1 5 は本実施の形態の表示装置のブロック図を示している。本実施の形態では、実施の形態 5 と比べて、階調書込駆動回路が無くなり、さらに階調電圧線駆動回路と識別信号線駆動回路とを一体化させた識別信号線・階調電圧線駆動回路 1 4 2 が設けられている。識別信号線駆動回路と快調電圧線駆動回路と一体化させた点は本発明の本質ではないため言及しないが、階調書込駆動回路がなくなったことにより、この回路を構成する部材などのコストが要らなくなったことで、

より低コストが可能となっている。

【0061】

以上のように、本実施の形態の表示装置では、前述の各実施の形態と同様に、
(1) 4×4 の画素を1ブロックとして、空間軸と階調軸に圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするため、表示用コントローラの回路規模を大幅に増大する必要が無く、低コストに抑えることができる。さらに、(3) 表示部は単極性のアクティブ素子を2つしか使用しないため、実施の形態5よりさらに低コストで製造可能であるとともに、通常の線順次駆動方式と比較して高速駆動が可能のため、大量の情報を正しく表示することが可能である。

【0062】

なお、本実施の形態においても、光変調素子をLED素子とすることが可能である。また1ブロックを 4×4 画素としたが、同一の構造、駆動方法で $n \times n$ 画素を1ブロックとすることも可能である。

さらに、本実施の形態においても、1ブロック内に定義した階調数は2であったが、走査の回数を増やすことにより1ブロック内に定義する階調数を増やすことも可能である。

【0063】

(実施の形態7)

次に、実施の形態7について説明する。本実施の形態の表示装置における表示データは、基本的には実施の形態1と同じ圧縮方法であるが、本実施の形態では、図16に示すように、画像出力源が出力する画像を判断して、1フレーム前と変化がある動画領域に対しては、1ブロック内の階調数を2として1フレーム期間内に画像データを転送し、1フレーム前とほとんど変化していない静止画領域に対しては、1ブロック内の階調数を4として、2フレーム期間にわたって、1フレーム目には第1番目と第2番目の階調を表示すべき画素の画像データを転送し、2フレーム目には第3番目と第4番目の階調を表示すべき画素の画像データを転送するようになっている。また、静止画領域に対しては各フレームで表示しない画素についてのフラグ信号も同時に転送している。このような方式によるデ

一タ転送では、実施の形態5と比較して静止画領域の画像の圧縮率が低くなるため、より劣化が少ない表示をすることができる。

【0064】

本実施の形態の画素構造や駆動方法は実施の形態5とほとんど変わらない。唯一変わる点は、静止画領域内において、余計な画素に階調信号を書き込まないように、液晶表示コントローラ136内で、Hiの識別信号をフラグ信号と掛け算して識別信号駆動回路に出力するようにしていることである。なお、この演算に必要な回路規模の増大はわずかである。

【0065】

以上のように、本実施の形態では、前述の各実施の形態と同様に(1) 4×4 の画素を1ブロックとして、空間軸と階調軸、さらに、時間軸にも圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするため、表示用コントローラの回路規模を大幅に増大する必要が無く、低コストに抑えることができる。さらに、(3) 表示部は単極性のアクティブ素子しか使用しないため、低コストで製造可能であるとともに、通常の線順次駆動方式と比較して高速駆動が可能のため、大量の情報を正しく、さらに実施の形態5と比較して静止画領域ではより劣化の少ない表示を行うことが可能である。

【0066】

なお、本実施の形態においても、光変調素子をLED素子とすることが可能である。また1ブロックを 4×4 画素としたが、同一の構造、駆動方法で $n \times n$ 画素を1ブロックとすることも可能である。

【0067】

さらに、本実施の形態においては、動画領域の1ブロック内に定義した階調数は2であり、静止画領域では4だったが、各々の領域とも、1フレーム内における走査の回数を増やすことにより1ブロック内に定義する階調数を増やすことも可能である。

【0068】

また、本実施の形態では静止画領域の1ブロックに定義した階調数は2フレー

ム期間にわたって4階調であったが、1フレームに割り当てる階調数を2にしたまま、またがるフレーム期間数を増やし、4フレーム期間で8階調ということも可能である。

【0069】

(実施の形態8)

次に、実施の形態8について説明する。本実施の形態の表示装置における表示データは、実施の形態7と同じ空間軸、階調軸、および時間軸に圧縮されたデータ形式である。実施の形態7と同じく、実施の形態6の構成においても、液晶表示コントローラ136のわずかな変更により、同圧縮データ形式による、静止画領域ではより劣化の少ない表示をすることが可能である。

【0070】

以上のように、本実施の形態では、前述の各実施の形態と同様、(1) 4×4 の画素を1ブロックとして、空間軸と階調軸、さらに時間軸にも圧縮をかけた映像信号を受け取り、(2) 受け取ったデータはビットマップに展開することが無く、そのまま表示用データとするため、表示用コントローラの回路規模を大幅に増大する必要が無く、低コストに抑えることができる。さらに、(3) 表示部は単極性のアクティブ素子を2つしか使用しないため、低コストで製造可能であるとともに、通常の線順次駆動方式と比較して高速駆動が可能のため、大量の情報を正しく、さらに実施の形態6と比較して静止画領域ではより劣化のすくない表示をすることが可能である。

【0071】

なお、本実施の形態においても、光変調素子をLED素子とすることが可能である。また1ブロックを 4×4 画素としたが、同一の構造、駆動方法で $n \times n$ 画素を1ブロックとすることも可能である。

【0072】

さらに、本実施の形態においては、動画領域の1ブロック内に定義した階調数は2であり、静止画領域では4だったが、各々の領域とも、1フレーム内における走査の回数を増やすことにより1ブロック内に定義する階調数を増やすことも可能である。

【0073】

また、本実施の形態では静止画領域の1ブロックに定義した階調数は2フレーム期間にわたって4階調であったが、1フレームに割り当てる階調数を2にしたまま、またがるフレーム期間数を増やし、4フレーム期間で8階調ということも可能である。

【0074】

【発明の効果】

以上説明したように、本発明により(1)PVリンク方式や空間軸、階調軸、時間軸にわたる画像圧縮方式等の実質転送能力が向上された表示データを受け取り、(2)データ処理回路の処理能力を大幅に向上させることがないので、表示装置を低コストに抑えることができる。さらに、(3)多くの情報量を正常に表示することが可能となる。

【図面の簡単な説明】

【図1】

実施の形態1による表示装置のブロック図である。

【図2】

図1の表示装置の画素回路図である。

【図3】

図1の表示装置が受け取る画像データ形式を示した図である。

【図4】

図1の表示装置の駆動方法を示した図である。

【図5】

実施の形態2による表示装置の画素回路図である。

【図6】

実施の形態3による表示装置の画素回路図である。

【図7】

実施の形態4による圧縮方式を説明した図である。

【図8】

実施の形態4による表示装置のブロック図である。

【図 9】

図 8 の表示装置の画素回路図である。

【図 1 0】

実施の形態 5 による表示装置の画素回路図である。

【図 1 1】

図 1 0 の表示装置の駆動方法を示した図である。

【図 1 2】

図 1 0 の表示装置のブロック図である。

【図 1 3】

実施の形態 6 による表示装置の画素回路図である。

【図 1 4】

図 1 3 の表示装置の駆動方法を示した図である。

【図 1 5】

図 1 3 の表示装置のブロック図である。

【図 1 6】

実施の形態 7 による表示装置が受け取る圧縮データ形式を示した図である。

【符号の説明】

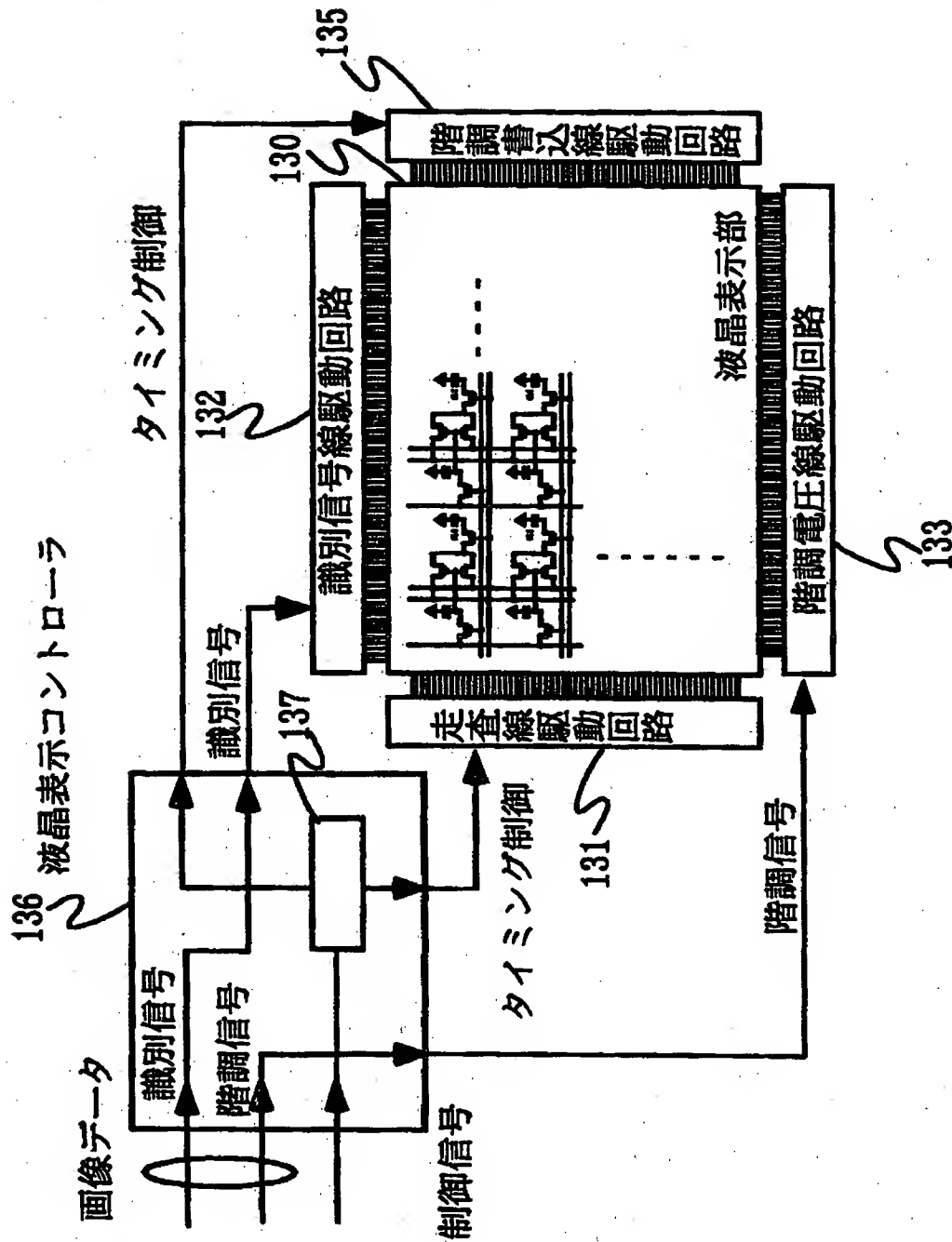
- 1 0 1 走査線
- 1 0 2 識別信号線
- 1 0 3 階調電圧線 1
- 1 0 4 階調電圧線 2
- 1 0 5 階調書込線
- 1 0 6 第 1 のアクティブ素子
- 1 0 7 画素内メモリ
- 1 0 8 n 型アクティブ素子 (第 2 のアクティブ素子)
- 1 0 9 p 型アクティブ素子
- 1 1 0 第 4 のアクティブ素子
- 1 1 1 画素電極
- 1 1 2 光変調素子

- 1 1 3 保持容量
- 1 1 4 液晶
- 1 1 5 第 5 のアクティブ素子
- 1 1 6 LED 素子
- 1 1 7 領域指定アクティブ素子
- 1 1 8 領域指定線
- 1 3 0 表示部
- 1 3 1 走査線駆動回路
- 1 3 2 識別信号線駆動回路
- 1 3 3 階調電圧線駆動回路
- 1 3 5 階調書込線駆動回路
- 1 3 6 液晶表示コントローラ
- 1 3 7 タイミングコントローラ
- 1 3 8 識別信号線・領域指定線駆動回路
- 1 3 9 領域指定タイミングコントローラ
- 1 4 0 ラインメモリ
- 1 4 1 2 重走査タイミングコントローラ
- 1 4 2 識別信号線・階調電圧線駆動回路
- 2 0 1 走査線の電位
- 2 0 2 識別信号線の電位
- 2 0 3 階調電圧線 1 の電位
- 2 0 4 階調電圧線 2 の電位
- 2 0 5 階調書込線の電位
- 2 0 6 走査パルス
- 2 0 7 画素メモリの電位
- 2 0 8 階調書込パルス

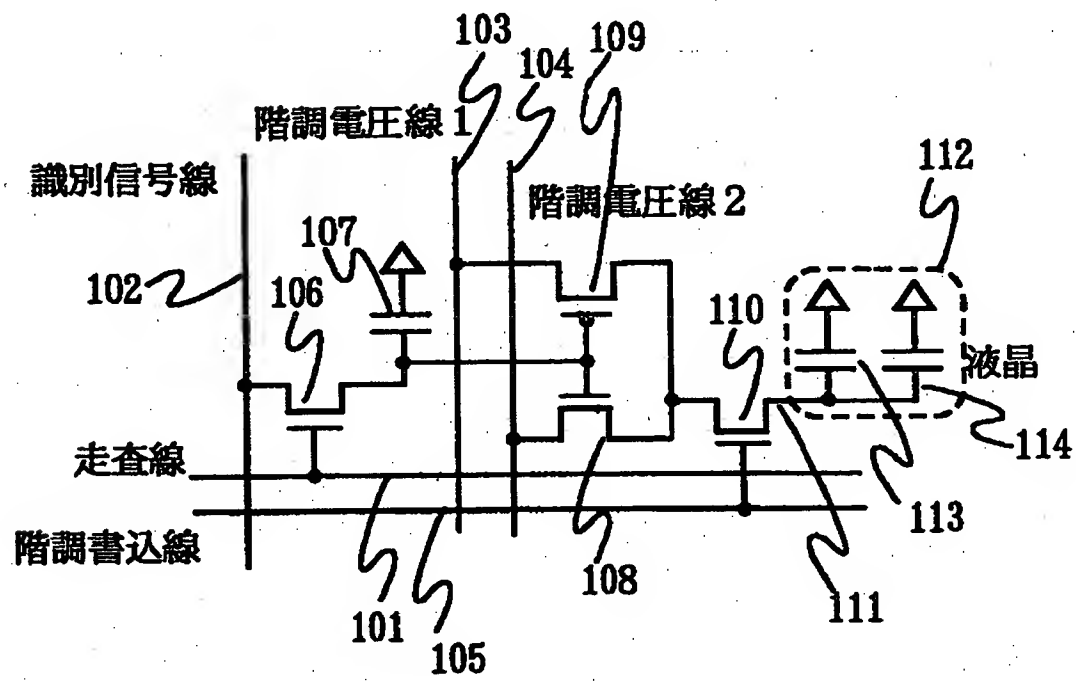
【書類名】

図面

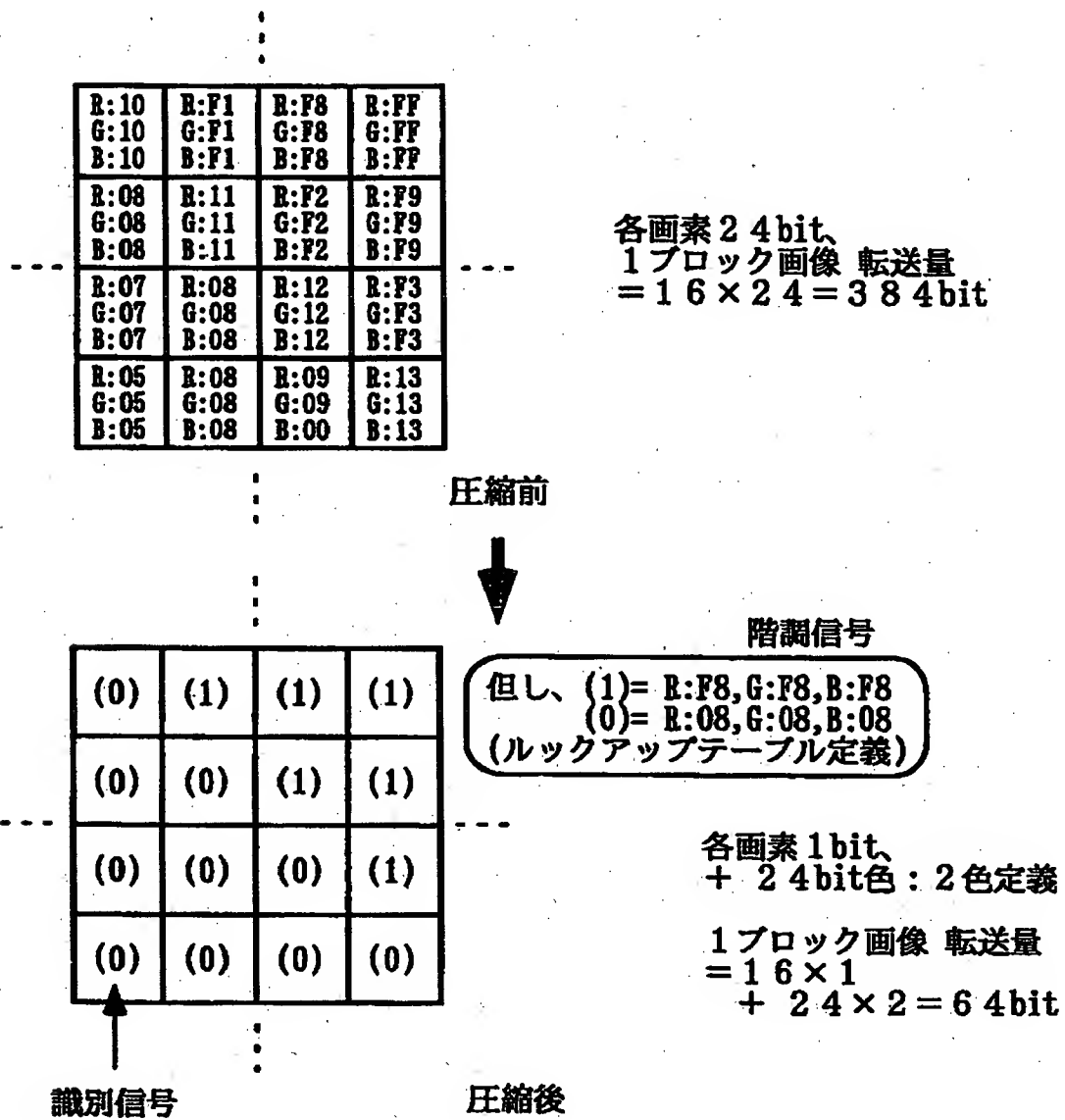
【図1】



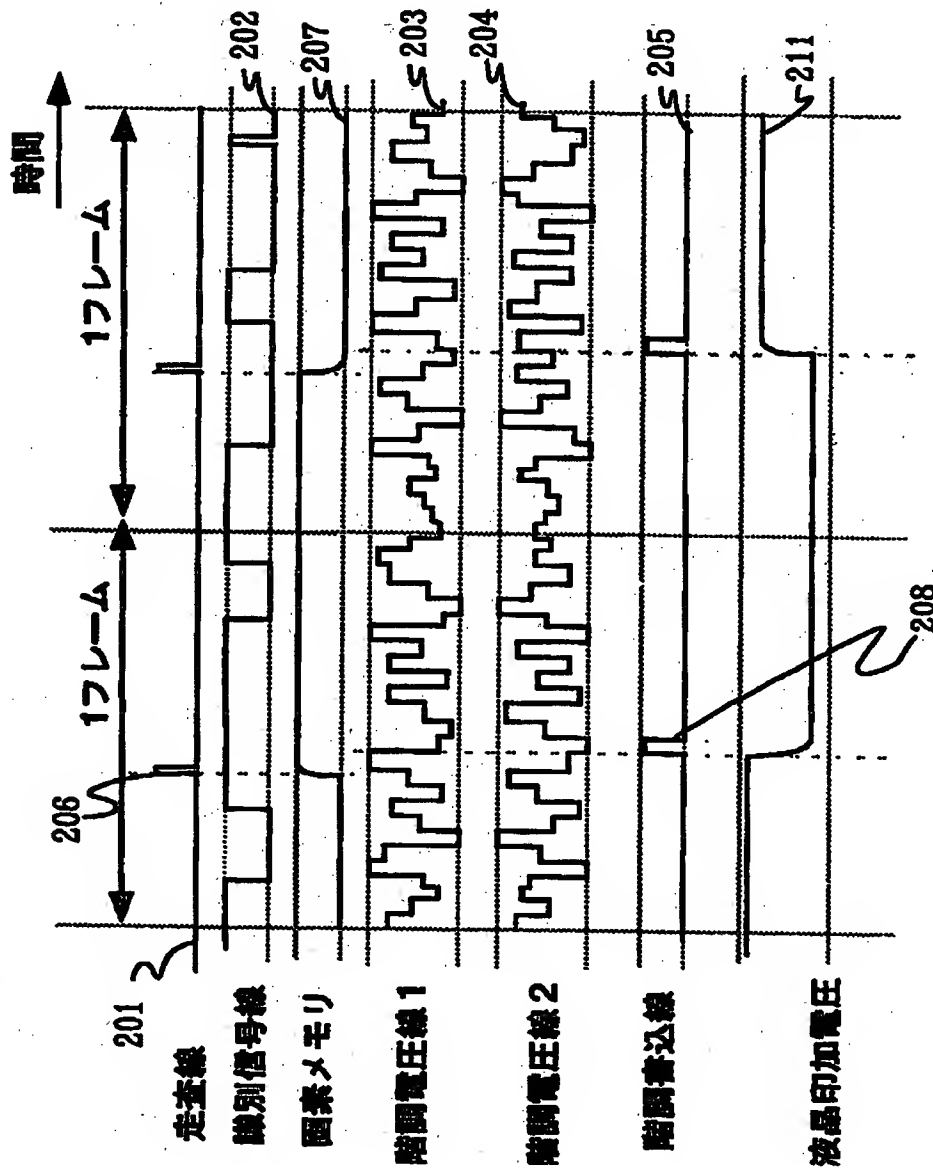
【図2】



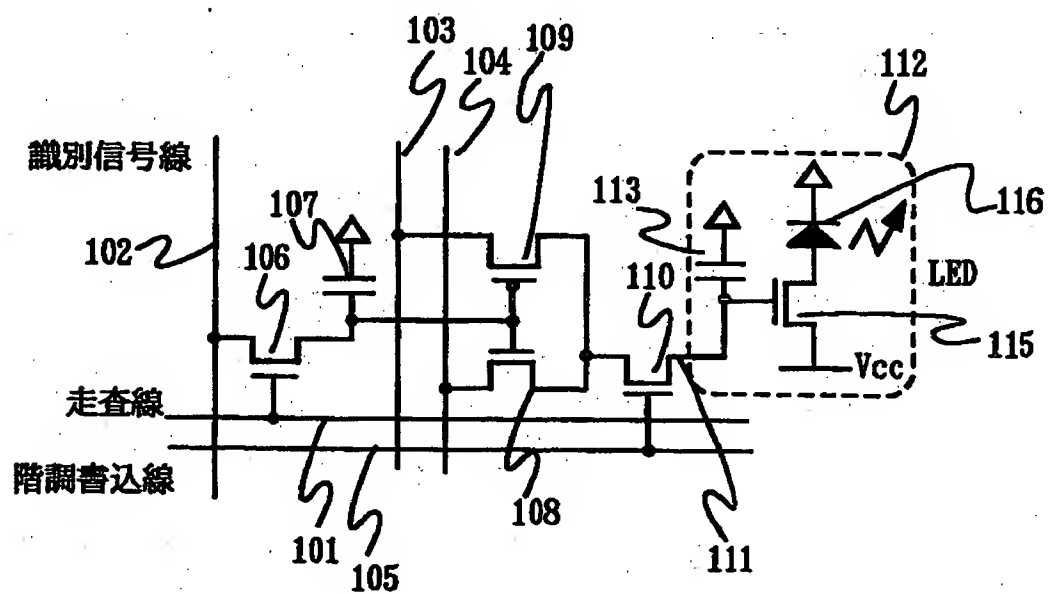
【図 3】



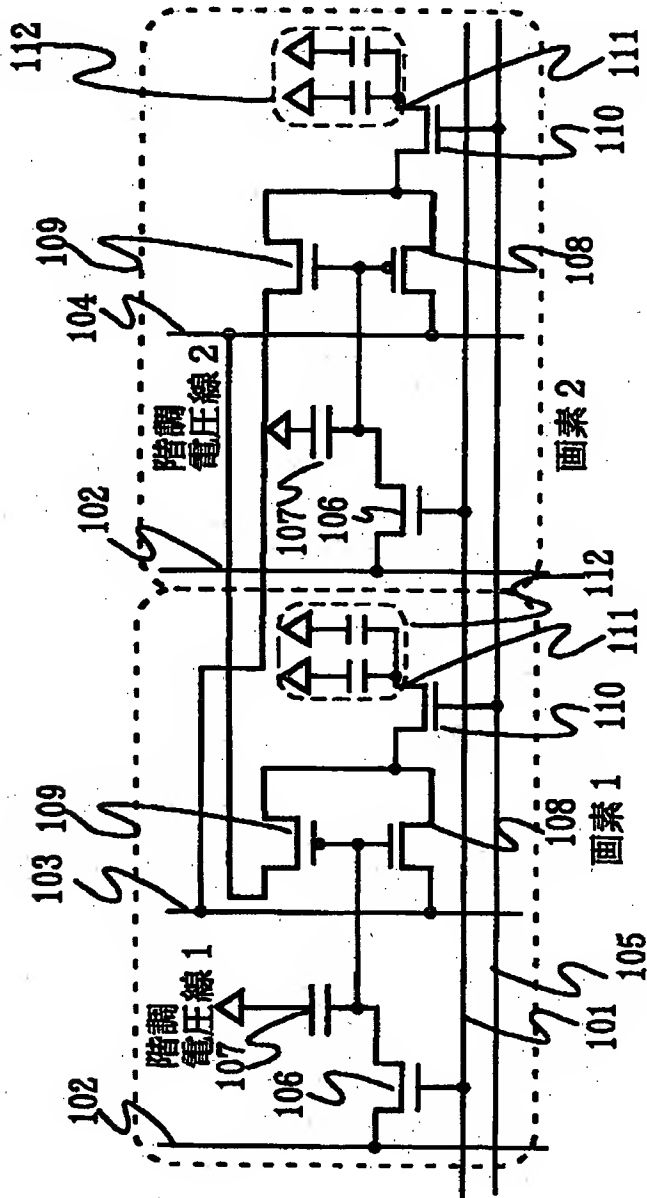
【図4】



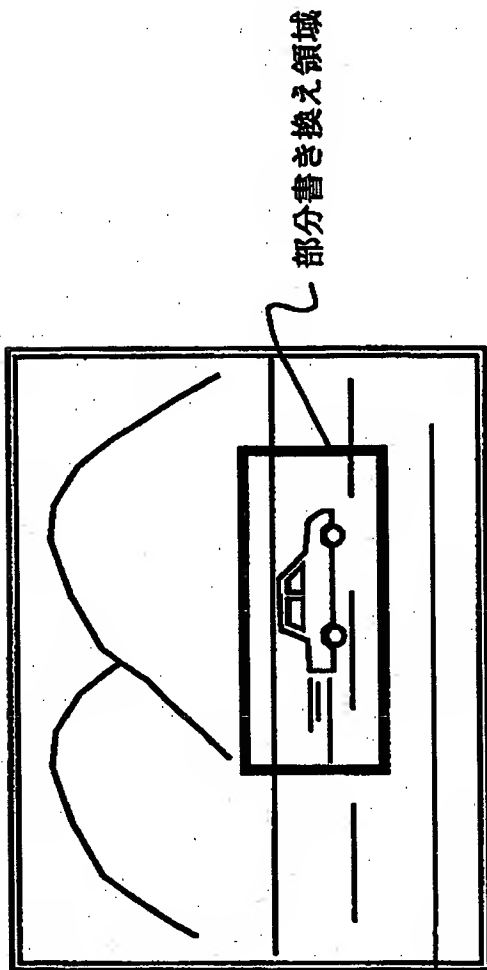
【図 5】



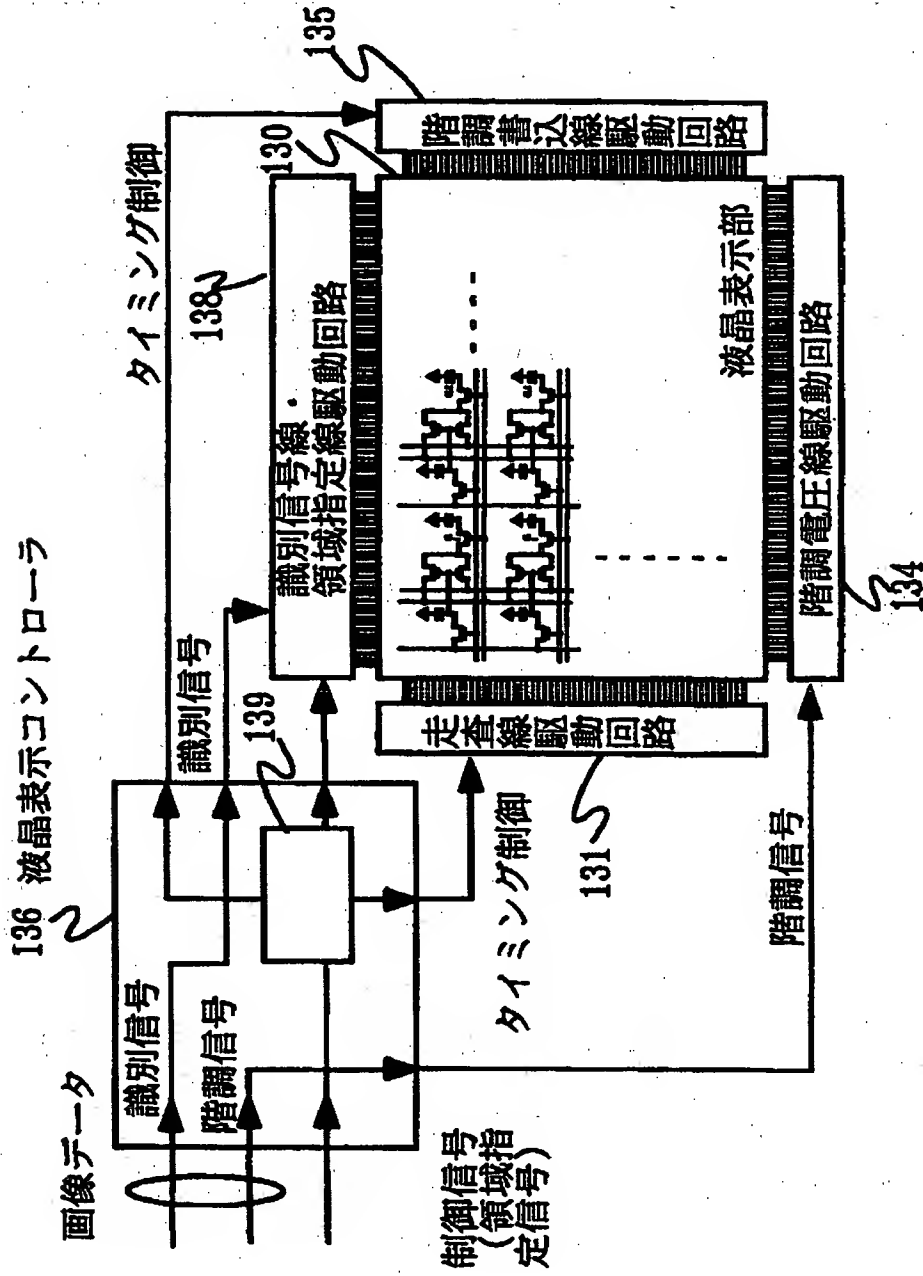
【図6】



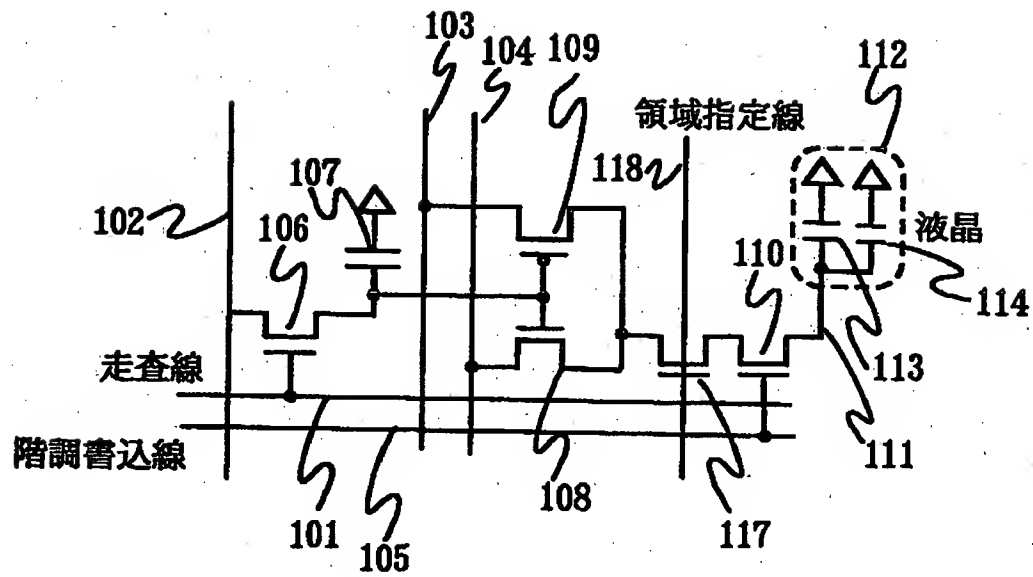
【図7】



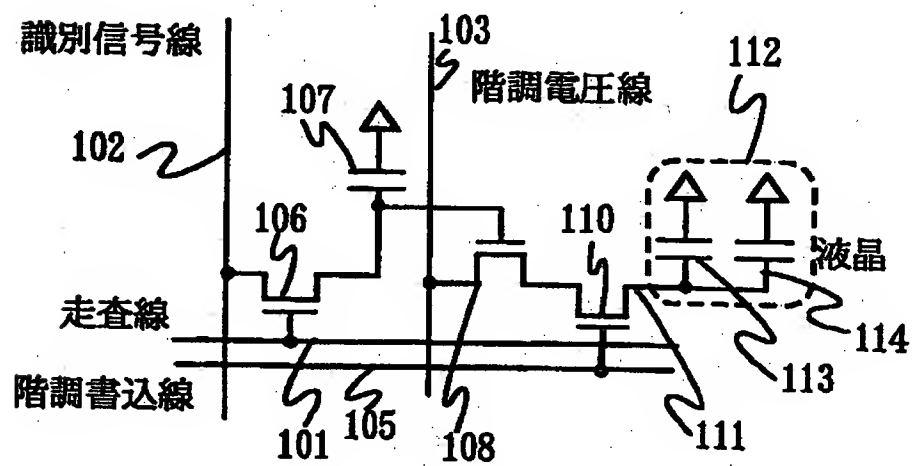
【図8】



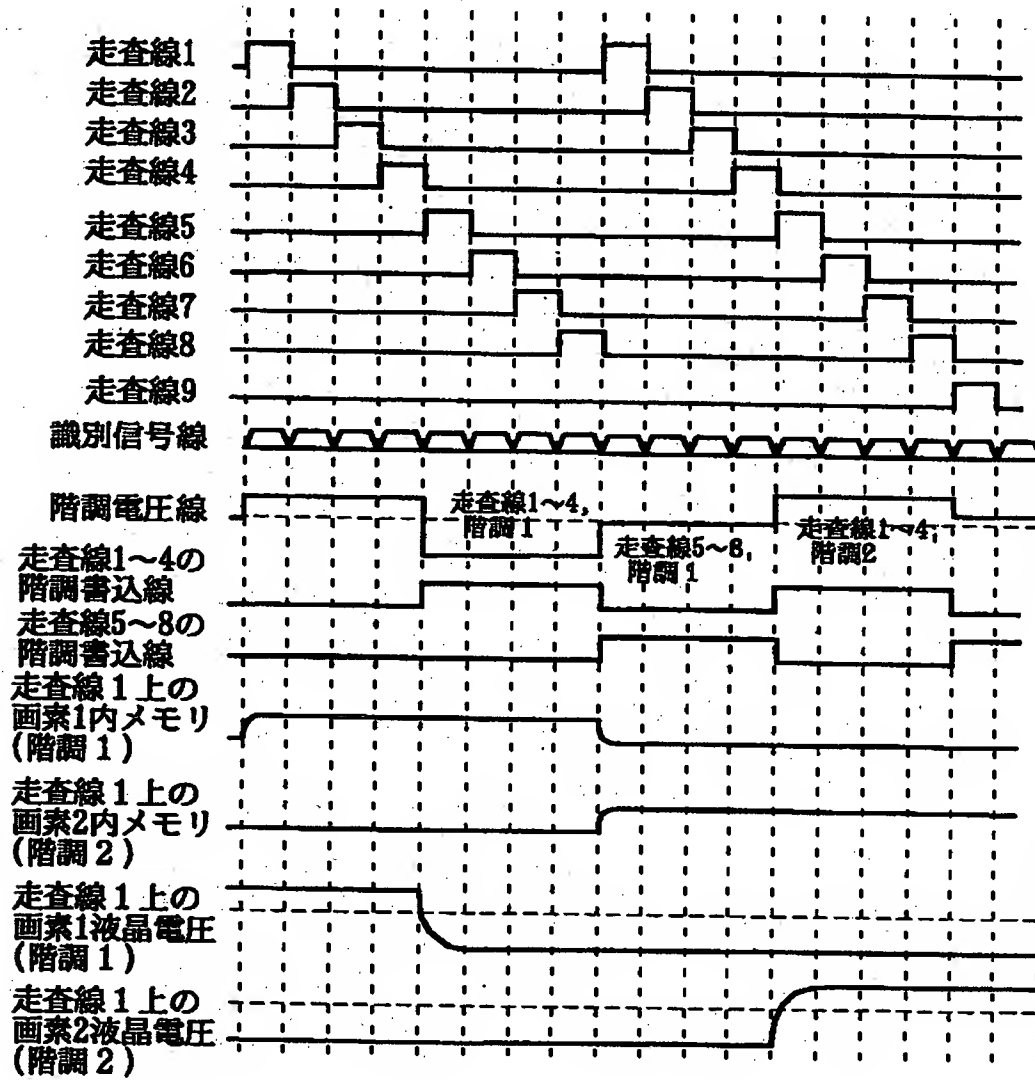
【図9】



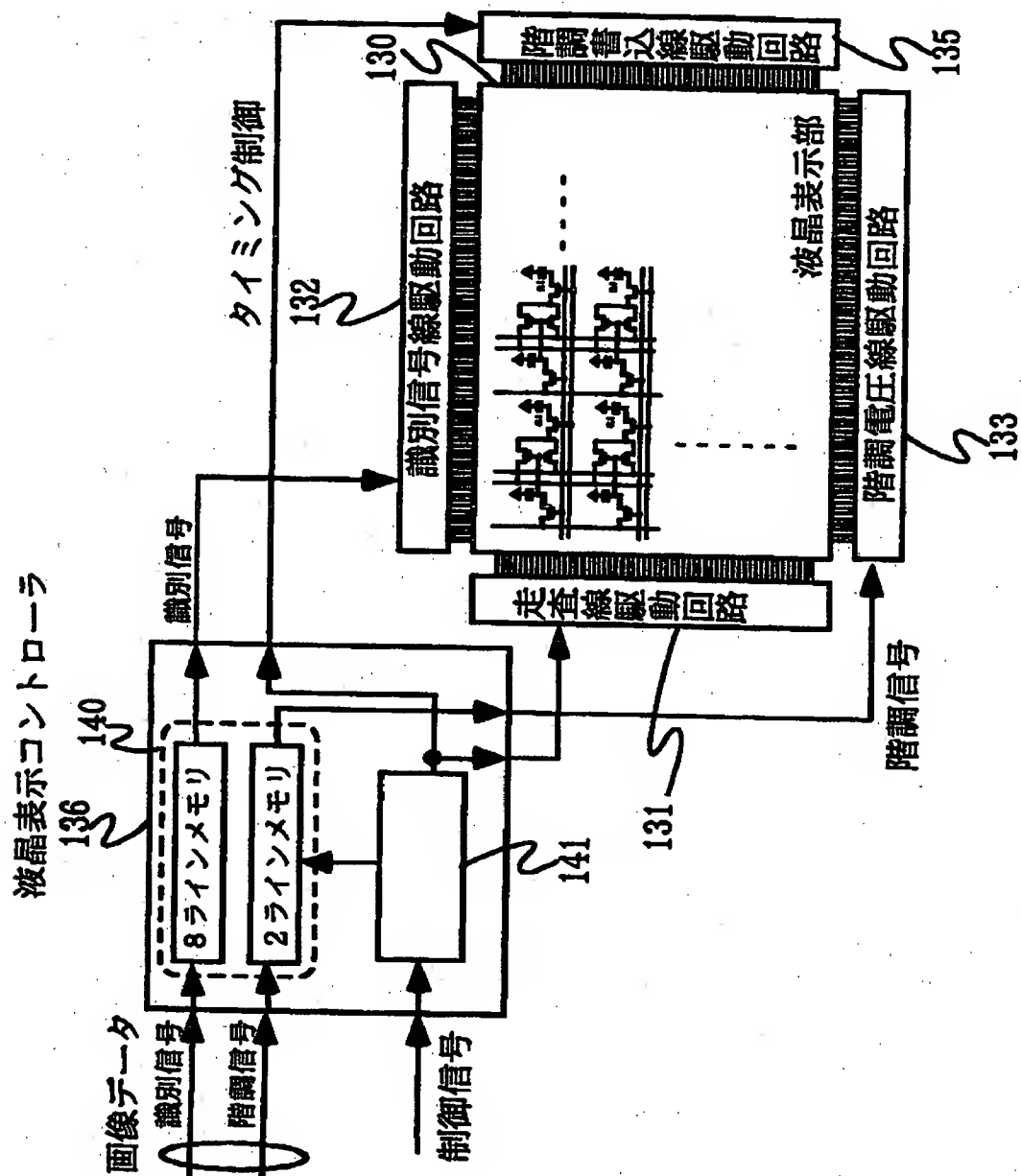
【図 10】



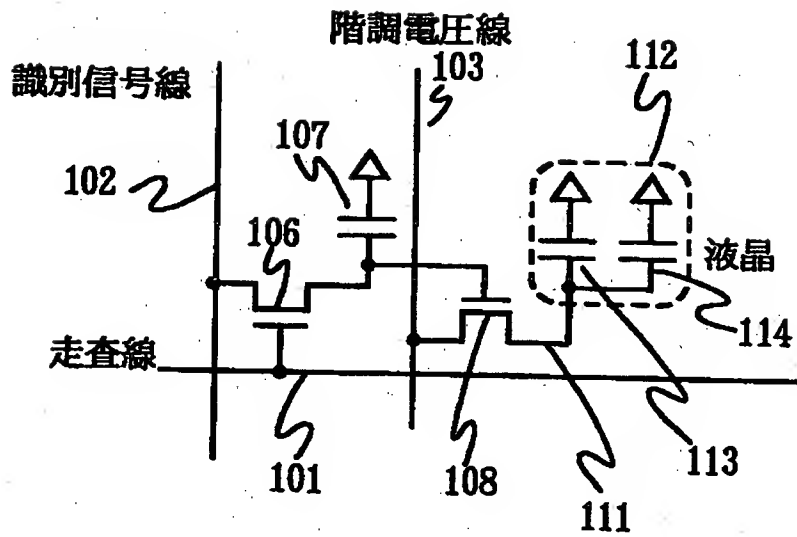
【図 11】



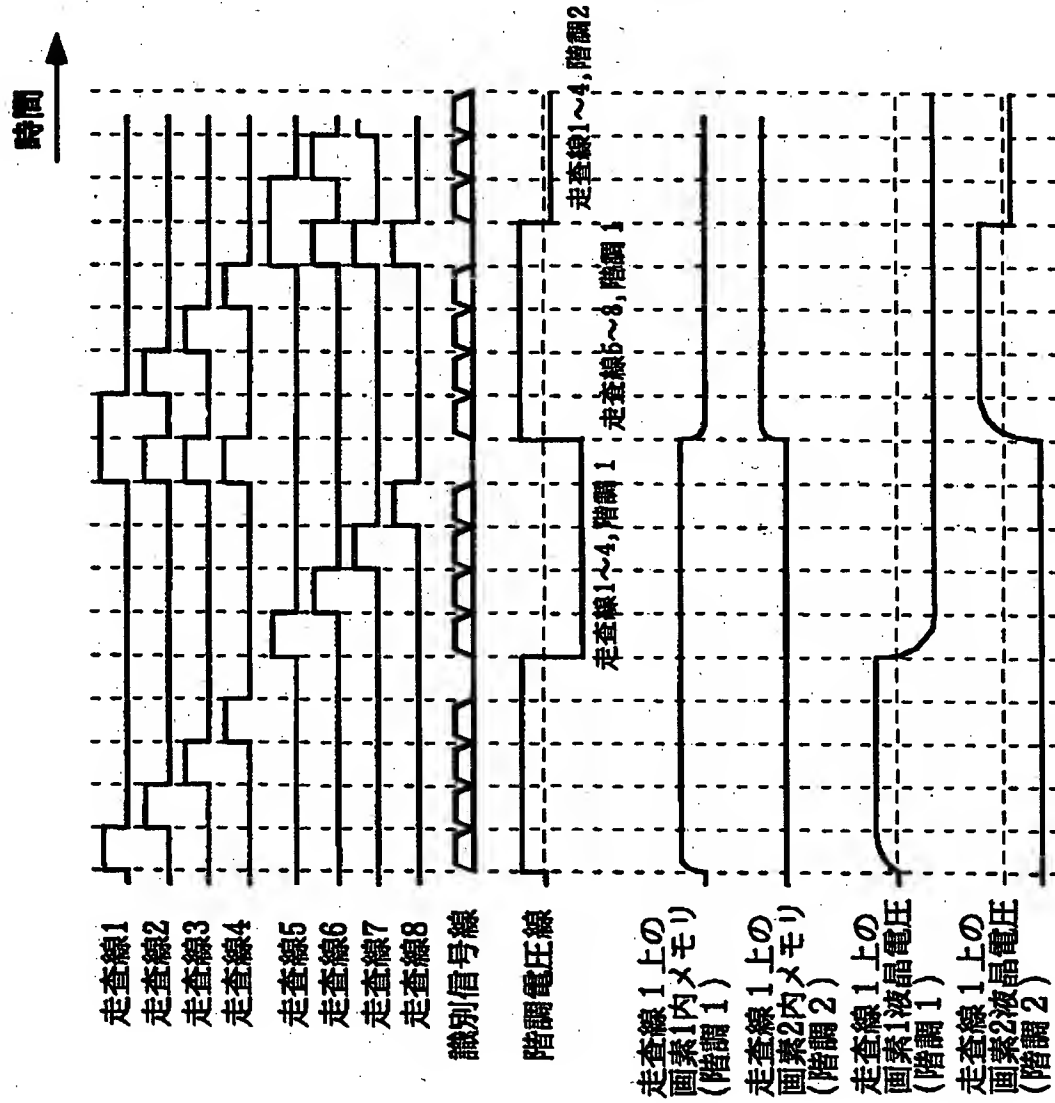
【図12】



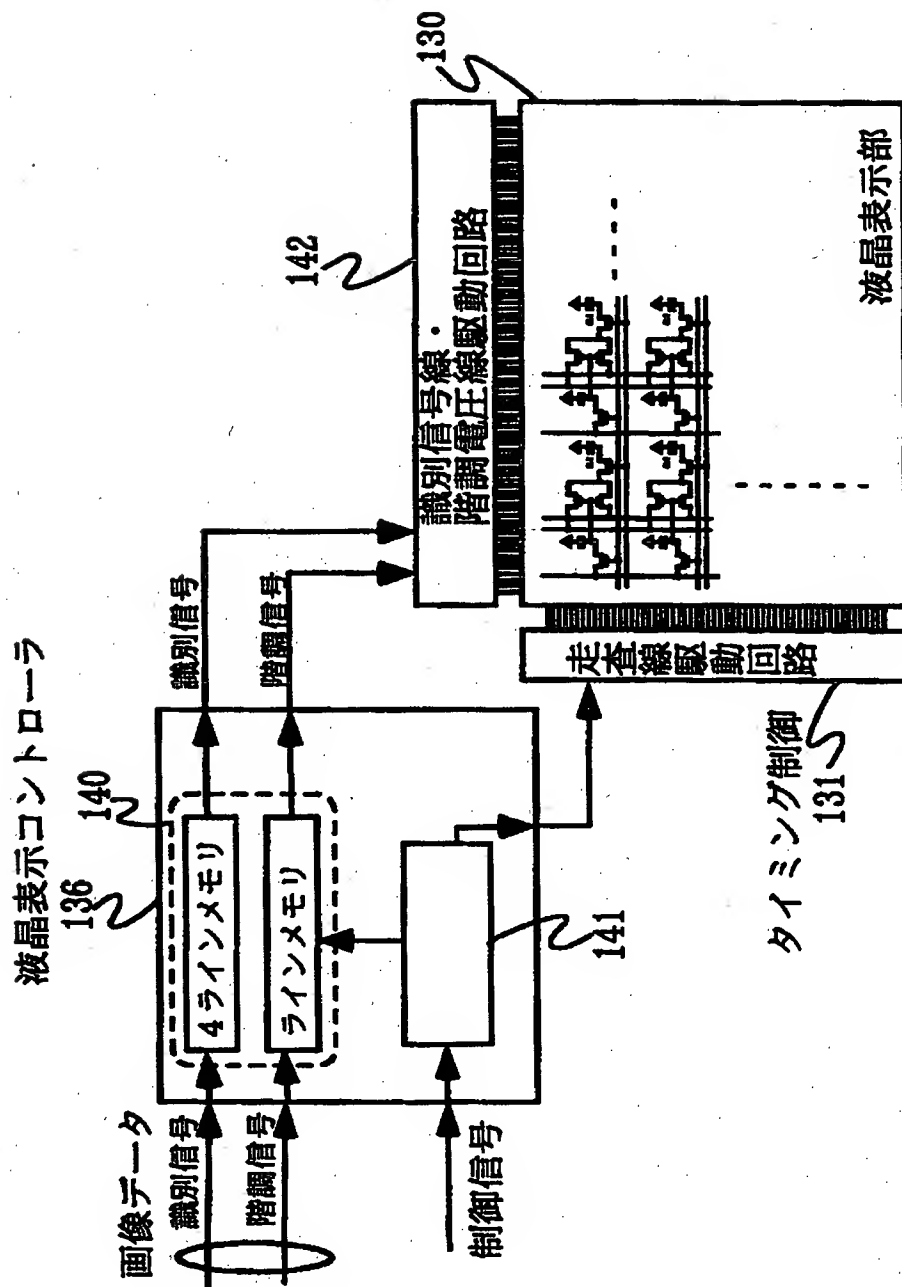
【図 1 3】



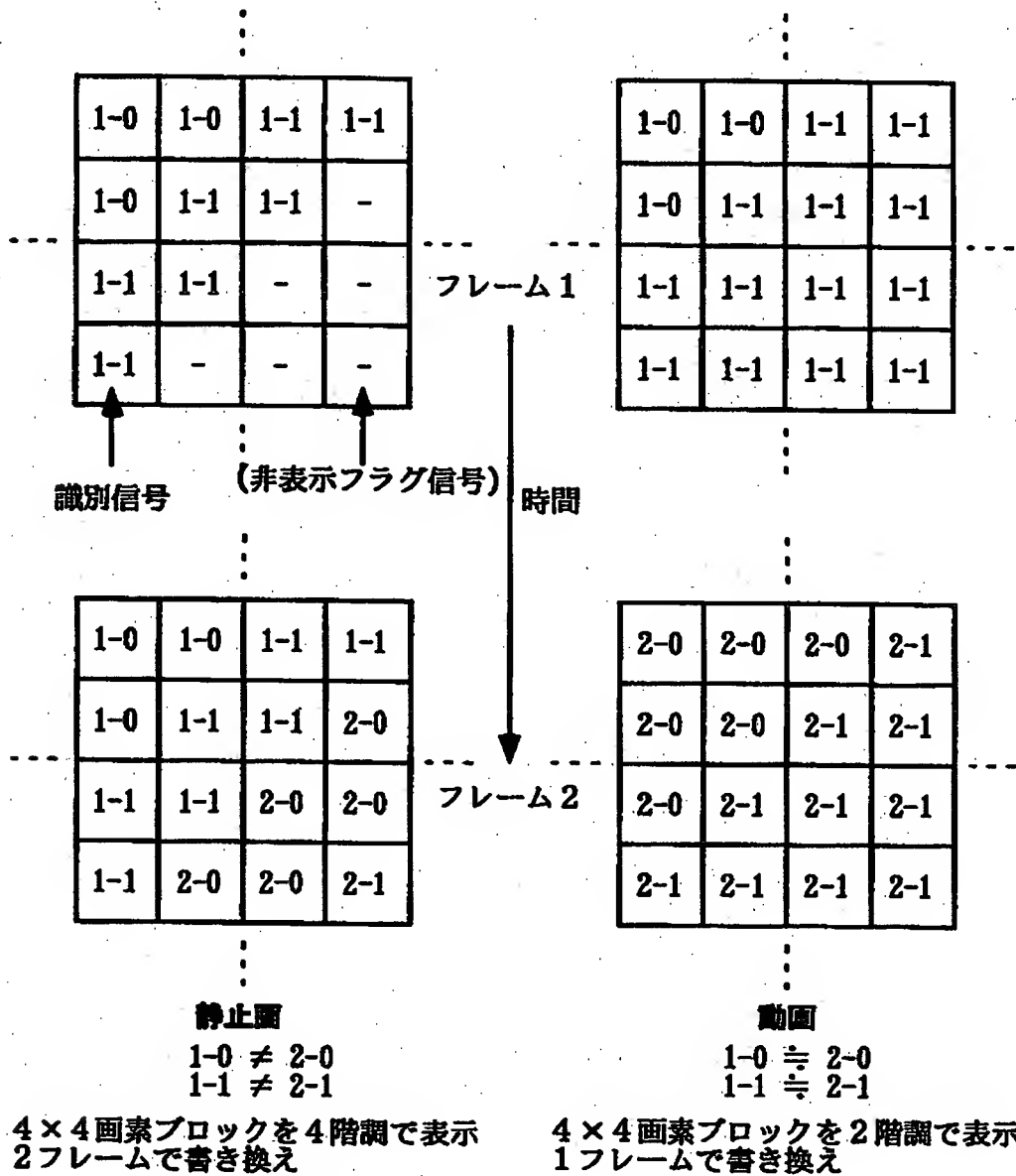
【図14】



【図15】



【図 16】



【書類名】 要約書

【要約】

【課題】 P Vリンク方式や画像圧縮方式等の表示データを受け取り、データ処理回路の処理能力を大幅に向上させることなく、多くの情報量を正常に表示する。

【解決手段】 マトリクス状に配置された画素と、画素内に設けられた画素電極と、画素内に設けられ画素電極の電圧に応じて表示を行う表示素子と、走査線に走査信号を供給する走査線駆動回路 1 3 1 と、識別信号線に識別信号を供給する識別信号線駆動回路 1 3 2 と、識別信号線から供給された識別信号を画素内に保存する保存手段と、各画素に階調電圧を供給する階調電圧線に階調電圧を供給する階調電圧線駆動回路 1 3 3 と、保存手段に保存した識別信号を基に、階調電圧線に供給された階調電圧を選択する選択手段と、選択された階調電圧を画素電極に印加するためのスイッチング素子と、スイッチング素子を制御する階調書込線に階調書込信号を供給する階調書込線駆動回路 1 3 5 とを有する。

【選択図】 図 1

特2001-054352

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所